

ОГЛАВЛЕНИЕ

ВВЕДЕНИЕ.....	5
ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТ	6
1 ИССЛЕДОВАНИЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ	7
1.1 Цель РАБОТЫ.....	7
1.2 КРАТКИЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ	7
1.3 СРЕДСТВА ИССЛЕДОВАНИЯ ЦИФРОВЫХ	16
УСТРОЙСТВ ПРОГРАММЫ ELECTRONICS WORKBENCH	16
1.4 СХЕМА ИССЛЕДОВАНИЯ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ	20
1.5 ЗАДАНИЕ НА ПРОВЕДЕНИЕ ИССЛЕДОВАНИЯ	21
1.6 ТРЕБОВАНИЯ К ОТЧЁТУ ПО РАБОТЕ.....	22
1.7 КОНТРОЛЬНЫЕ ВОПРОСЫ.....	22
2 ИССЛЕДОВАНИЕ ТИПОВЫХ КОМБИНАЦИОННЫХ	
УСТРОЙСТВ.....	24
2.1 Цель РАБОТЫ.....	24
2.2 КРАТКИЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ	24
2.3 СХЕМЫ ИССЛЕДОВАНИЯ КОМБИНАЦИОННЫХ УСТРОЙСТВ	26
2.4 ЗАДАНИЕ НА ПРОВЕДЕНИЕ ИССЛЕДОВАНИЯ	28
2.5 ТРЕБОВАНИЯ К ОТЧЁТУ ПО РАБОТЕ.....	31
2.6 КОНТРОЛЬНЫЕ ВОПРОСЫ.....	31
3 ИССЛЕДОВАНИЕ ТРИГГЕРОВ НА ИНТЕГРАЛЬНЫХ	
МИКРОСХЕМАХ.....	33
3.1 Цель РАБОТЫ.....	33
3.2 ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ.....	33
3.3 КРАТКИЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ	33

3.4	СХЕМЫ ИССЛЕДОВАНИЯ ТРИГГЕРОВ	39
3.5	ЗАДАНИЕ НА ПРОВЕДЕНИЕ ИССЛЕДОВАНИЯ	41
3.6	ТРЕБОВАНИЯ К ОТЧЁТУ ПО РАБОТЕ.....	42
3.7	КОНТРОЛЬНЫЕ ВОПРОСЫ.....	42
4	ИССЛЕДОВАНИЕ СЧЕТЧИКОВ.....	44
4.1	ЦЕЛЬ РАБОТЫ.....	44
4.2	ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ.....	44
4.3	КРАТКИЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ	44
4.4	СХЕМА ИССЛЕДОВАНИЯ СЧЕТЧИКОВ.....	50
4.5	ЗАДАНИЕ НА ПРОВЕДЕНИЕ ИССЛЕДОВАНИЯ	53
4.6	ТРЕБОВАНИЯ К ОТЧЁТУ ПО РАБОТЕ.....	53
4.7	КОНТРОЛЬНЫЕ ВОПРОСЫ.....	54
5	ИССЛЕДОВАНИЕ ЦИФРО-АНАЛОГОВОГО И АНАЛОГО-ЦИФРОВОГО ПРЕОБРАЗОВАТЕЛЕЙ.....	ОШИБКА! ЗАКЛАДКА НЕ ОПРЕДЕЛЕНА.
5.1	ЦЕЛЬ РАБОТЫ.....	ОШИБКА! ЗАКЛАДКА НЕ ОПРЕДЕЛЕНА.
5.2	ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ...	ОШИБКА! ЗАКЛАДКА НЕ ОПРЕДЕЛЕНА.
5.3	КРАТКИЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ	ОШИБКА! ЗАКЛАДКА НЕ ОПРЕДЕЛЕНА.
5.4	СХЕМА ИССЛЕДОВАНИЯ ЦИФРО-АНАЛОГОВОГО И АНАЛОГО-ЦИФРОВОГО ПРЕОБРАЗОВАТЕЛЕЙ.....	ОШИБКА! ЗАКЛАДКА НЕ ОПРЕДЕЛЕНА.
5.5	ЗАДАНИЕ НА ПОДГОТОВКУ К ПРОВЕДЕНИЮ ИССЛЕДОВАНИЙ	ОШИБКА! ЗАКЛАДКА НЕ ОПРЕДЕЛЕНА.
5.6	ПРОГРАММА ИССЛЕДОВАНИЯ.....	ОШИБКА! ЗАКЛАДКА НЕ ОПРЕДЕЛЕНА.
5.7	ТРЕБОВАНИЯ К ОТЧЁТУ ПО РАБОТЕ	ОШИБКА! ЗАКЛАДКА НЕ ОПРЕДЕЛЕНА.
5.8	КОНТРОЛЬНЫЕ ВОПРОСЫ.....	ОШИБКА! ЗАКЛАДКА НЕ ОПРЕДЕЛЕНА.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК	55
---------------------------------------	-----------

ВВЕДЕНИЕ

Для приема, обработки и формирования сигналов в бытовых радиоэлектронных устройствах и системах [1] различного назначения широкое применение получили цифровые устройства, развитие которых в последние десятилетия выразилось в микропроцессорные устройства. Их распространение обусловлено, с одной стороны, развитием методов цифровой обработки сигналов, а с другой стороны – совершенствованием микроэлектронных технологий.

Дисциплина "Цифровые устройства и микропроцессоры" имеет целью обеспечить необходимый уровень подготовки студентов по вопросам проектирования и построения цифровых и микропроцессорных устройств радиоэлектронных систем. Углубленные знания процессов функционирования цифровых устройств необходимы студентам радиотехнических специальностей для последующего изучения дисциплин специализации и при эксплуатации систем бытового назначения и сервиса [2].

В данном пособии представлены методические указания по выполнению лабораторных работ, посвящённых исследованию логических элементов, типовых цифровых устройств, а также цифро-аналоговых и аналого-цифровых преобразователей. Для исследования цифровых устройств используется программа схемотехнического моделирования *Electronics Workbench*. По теме каждой лабораторной работы приведены необходимые теоретические материалы, позволяющие студентам самостоятельно подготовиться к её выполнению; представлен список вопросов для контроля степени усвоения студентами теоретического материала.

ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТ

Выполнение лабораторной работы и отчёта по ней рекомендуется проводить в следующем порядке:

- изучить лекционный и теоретический материал по теме;
- выполнить задание на подготовку к лабораторной работе;
- ответить на контрольные вопросы, изложенные в окончании методических указаний каждой лабораторной работы;
- изучить схемы исследований и объём проводимых исследований;
- подготовить отчет по лабораторной работе;
- получить допуск к лабораторной работе;
- выполнить заданный объем исследований по работе;
- оформить отчёт по работе в соответствии с требованиями и сформулировать выводы;
- предъявить отчёт преподавателю для утверждения;
- защитить отчёт о выполненной работе.

1 Исследование логических элементов

1.1 Цель работы

Целью работы являются:

- закрепление теоретических знаний по базовым логическим элементам;
- приобретение навыков применения программы схемотехнического моделирования Electronics Workbench для исследования цифровых устройств:
- формирование принципиальной схемы цифрового устройства,
- формирование последовательностей входных сигналов,
- определение таблиц истинности комбинационных цифровых устройств, получение временных диаграмм работы;
- усвоение методики и приобретение практических навыков исследования логическим элементам.

1.2 Краткие теоретические сведения

Функция $f(x_1, \dots, x_n)$ называется **логической** (булевой), если аргументы x_1, \dots, x_n и значения функции принимают только два значения – 0 или 1.

1.2.1 Способы задания логических функций [3]

1.2.1.1 Словесный

Логическая функция описывается словесно. Применяется при задании несложных логических функций или логических функций, зависящих от небольшого числа переменных. Например, "логическая функция конъюнкция принимает единичное значение, только если все переменные равны единицам".

1.2.1.2 Табличный

Логическая функция описывается таблицей истинности, в которой строки обозначаются всеми возможными наборами двоичных переменных и на каждом таком наборе задается значение логической функции. Количество строк N связано с числом переменных n соотношением $N=2^n$. Применяется при количестве переменных не превышающем $n=6$.

Таблица истинности

x_1	x_2	$f(x_1, x_2)$
0	0	0
0	1	0
1	0	0
1	1	1

1.2.1.3 Цифровой

Наборы логических переменных, на которых значения логической функции принимают единичные $f^{(1)}$ (нулевые $f^{(0)}$) значения, представляются числами в двоичной или в десятичной системах счисления. Например, для рассмотренной таблицы истинности $f^{(1)}(x_1, x_2) = \{11\}_2 = \{3\}_{10}$ или $f^{(0)}(x_1, x_2) = \{00, 01, 10\}_2 = \{0, 1, 2\}_{10}$, где в $\{\dots\}_l$ l – основание системы счисления.

1.2.1.4 Аналитический

Основан на представлении логической функции в виде формул, связывающих между собой переменные с помощью элементарных логических операций и скобок. Например, $f(x_1, x_2) = x_1 \& x_2 = x_1 \cdot x_2$.

1.2.2 Логические функции одного переменного

Таблица 1.1

$f_0(x) = 0$ - константа нуля;

$f_1(x) = x$ - повторение x ;

$f_2(x) = \bar{x}$ - отрицание x
(инверсия x);

$f_3(x) = 1$ - константа единицы.

Аргумент x	Функция			
	$f_0(x)$	$f_1(x)$	$f_2(x)$	$f_3(x)$
0	0	0	1	1
1	0	1	0	1

1.2.3 Логические функции двух переменных

Таблица 1.2

Аргументы		Функции															
x_1	x_2	f_0	f_1	f_2	f_3	f_4	f_5	f_6	f_7	f_8	f_9	f_{10}	f_{11}	f_{12}	f_{13}	f_{14}	f_{15}
0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
0	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
1	0	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
Обозначение		0	&	\Rightarrow	x_1	\Leftarrow	x_2	\oplus	\vee	\downarrow	\equiv	\bar{x}_2	\leftarrow	\bar{x}_1	\rightarrow		1

$f_0(x_1, x_2) = 0$ константа нуля;

$f_1(x_1, x_2) = x_1 \cdot x_2 = x_1 \& x_2 = x_1 \wedge x_2$ логическое умножение, КОНЬЮНКЦИЯ,
логическое И;

$f_2(x_1, x_2) = x_1 \Delta x_2 = \overline{x_1 \rightarrow x_2}$	x_1 запрет по x_2 , x_1 но не x_2 ;
$f_3(x_1, x_2) = x_1$	повторение x_1 ;
$f_4(x_1, x_2) = x_2 \Delta x_1 = \overline{x_2 \rightarrow x_1}$	x_2 запрет по x_1 , x_2 но не x_1 ;
$f_5(x_1, x_2) = x_2$	повторение x_2 ;
$f_6(x_1, x_2) = x_1 \oplus x_2 = \overline{x_1 \leftrightarrow x_2} = \overline{x_1 \equiv x_2}$	сложение по модулю 2, НЕРАВНО- ЗНАЧНОСТЬ;
$f_7(x_1, x_2) = x_1 \vee x_2 = x_1 + x_2$	логическое сложение, ДИЗЬЮНКЦИЯ, логи- ческое ИЛИ;
$f_8(x_1, x_2) = x_1 \downarrow x_2 = \overline{x_1 \vee x_2}$	стрелка Пирса, функция Вебба, отрицание ИЛИ;
$f_9(x_1, x_2) = \overline{x_1 \oplus x_2} = x_1 \equiv x_2$	равнозначность, ЭКВИВАЛЕНТНОСТЬ;
$f_{10}(x_1, x_2) = \bar{x}_2$	отрицание x_2 ;
$f_{11}(x_1, x_2) = x_2 \rightarrow x_1 = x_2 \supset x_1$	импликация, если x_1 то x_2 ;
$f_{12}(x_1, x_2) = \bar{x}_1$	отрицание x_1 ;
$f_{13}(x_1, x_2) = x_1 \rightarrow x_2 = x_1 \supset x_2$	импликация, если x_2 то x_1 ;
$f_{14}(x_1, x_2) = x_1 x_2 = \overline{x_1 \cdot x_2}$	штрих Шеффера, отрицание И;
$f_{15}(x_1, x_2) = I$	константа нуля.

Перечисленные функции от одного и от двух переменных называются **элементарными**.

Логическая функция, у которой переменные связаны одной элементарной логической операцией называются *простой*.

Две функции являются **эквивалентными**, если они принимают одинаковые значения на одних и тех же наборах переменных.

Две эквивалентные функции, приравненные друг другу, называются **тождеством**.

Основные тождества и соотношения алгебры логики.

1. Переместительный закон (коммутативность)

$$A \cdot B = B \cdot A,$$

$$A \vee B = B \vee A.$$

2. Сочетательный закон (ассоциативность)

$$A \cdot (B \cdot C) = (A \cdot B) \cdot C, \quad A \vee (B \vee C) = (A \vee B) \vee C.$$

3. Распределительный закон (дистрибутивный)

$$A \cdot (B \vee C) = AB \vee AC, \quad A \vee BC = (A \vee B) \cdot (A \vee C).$$

4. Законы Де Моргана (законы отрицания)

$$\overline{A \cdot B} = \bar{B} \vee \bar{A}, \quad \overline{A \vee B} = \bar{B} \cdot \bar{A}$$

5. Законы поглощения

$$\begin{aligned} A \cdot (A \vee C) &= A, & A \vee AC &= A; \\ A \cdot (\bar{A} \vee C) &= AC, & A \vee \bar{A}C &= A \vee C. \end{aligned}$$

6. Законы повторения

$$A \cdot A \cdot A \cdot A = A, \quad A \vee A \vee A \vee A \vee A = A.$$

7. Соотношения с 0 и 1

$$\begin{aligned} A \cdot 1 &= A, & A \vee 1 &= 1, \\ A \cdot 0 &= 0, & A \vee 0 &= A, \\ A \oplus 0 &= A, & A \oplus A &= 0, \\ A \oplus 1 &= \bar{A}, & A \oplus \bar{A} &= 1. \end{aligned}$$

8. $A \vee f(A, B, C, \dots) = A \vee f(0, B, C, \dots);$

$$A \cdot f(A, B, C, \dots) = A \cdot f(1, B, C, \dots).$$

Наряду с основными соотношениями для упрощения формул часто используются следующие правила:

9. Правила поглощения:

$$x_1 \vee x_1 x_2 = x_1, \quad x_1 \cdot (x_1 \vee x_2) = x_1.$$

10. Правила склеивания

$$x_1 x_2 \vee x_1 \bar{x}_2 = x_1, \quad x_1 \vee \bar{x}_1 x_2 = x_1 \vee x_2.$$

11. 3. Правило обобщенного склеивания

$$x_1 x_3 \vee x_2 \bar{x}_3 \vee x_1 x_2 \vee x_1 \bar{x}_2 = x_1 x_3 \vee x_2 \bar{x}_3.$$

Порядок выполнения операций в сложных логических формулах: скобки, инверсия, логическое умножение, логическое сложение.

1.2.4 Логические элементы

Логический элемент (ЛЭ) в электронных схемах [4] – это устройство, реализующее ту или иную логическую функцию. При этом логические сиг-

налы 0 и 1 задаются разными уровнями напряжения. Сигнал логического нуля обычно представляется низким уровнем напряжения U^0 , логической единицы – высоким U^1 . Такая логика получила название положительной. В ряде случаев используют отрицательную логику, где логический нуль представляется высоким уровнем напряжения, а логическая единица – низким.

Логические схемы состоят из логических элементов, осуществляющих логические операции. Перечень основных логических операций приведен в таблице 1.2.

1.2.4.1 Условные графические обозначения логических элементов

Для изображения логических схем всегда используются условные графические обозначения элементов, описывающие только выполняемую элементами функцию и не зависящие от его схемы. В настоящее время в мире существует несколько общепринятых стандартов условных обозначений. Наиболее распространенными являются американский стандарт milspec 806B и стандарт МЭК 117-15 А, созданный Международной Электротехнической Комиссией. Часто в литературе используются также обозначения в европейской системе DIN 4070. В отечественной литературе условные обозначения элементов в основном соответствуют ГОСТ 2.743-82. Условные графические обозначения основных ЛЭ приведены в таблице 1.3.

В таблице 1.3 помимо двухвходовых логических элементов представлены условные графические обозначения и некоторых трехвходовых элементов – элемента (XOR – Exclusive OR), таблица истинности 1.4; элемент СУММА ПО МОДУЛЮ 2 (MOD2), таблица истинности 1.5; МАЖОРИТАРНЫЙ элемент, таблица истинности 1.6.

В таблице 1.4 единичные значения функции ИСКЛЮЧАЮЩЕЕ ИЛИ соответствуют строкам, содержащим только одну единицу. Функция ИСКЛЮЧАЮЩЕЕ ИЛИ выражается с помощью элементарных логических операций:

$$f(x_1, x_2, x_3) = \bar{x}_1 \cdot \bar{x}_2 \cdot x_3 \vee \bar{x}_1 \cdot x_2 \cdot \bar{x}_3 \vee x_1 \cdot \bar{x}_2 \cdot \bar{x}_3.$$

В таблице 1.5 единичные значения функции СУММА ПО МОДУЛЮ 2 соответствуют строкам, в которых младший разряд арифметической суммы входных переменных равен 1: $f(x_1, x_2, x_3) = x_1 \oplus x_2 \oplus x_3$.

Таблица 1.3

Логический элемент	Условное графическое обозначение				Таблица истинности
	ГОСТ	МЭК	DIN	milspec	
НЕ					Табл. 1.1, $f_2(x)$
И					Табл. 1.2, $f_1(x_1, x_2)$
ИЛИ					Табл. 1.2, $f_7(x_1, x_2)$
И-НЕ					Табл. 1.2, $f_{14}(x_1, x_2)$
ИЛИ-НЕ					Табл. 1.2, $f_8(x_1, x_2)$
ИСКЛЮЧАЮЩЕЕ ИЛИ					Табл. 1.4
СУММА ПО МОДУ					Табл. 1.5
МАЖОРИТАРНОСТЬ					Табл. 16

Таблица 1.4

x_1	x_2	x_3	f
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

Таблица 1.5

x_1	x_2	x_3	f
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

Таблица 1.6

x_1	x_2	x_3	f
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Мажоритарный элемент имеет много входов. Выходная переменная элемента принимает единичное значение, если большая часть её входных переменных равна единице. Так, переменная f на выходе трехвходового мажоритарного элемента принимает единичное значение, если два или три его входа имеют единичное значение (таблица 1.6).

1.2.4.2 Передаточная характеристика логического элемента

В зависимости от схемотехники и технологии основного (базового) логического элемента (ЛЭ) существует несколько типов микросхем:

- ТТЛ(Ш) - транзисторно-транзисторная логика с диодами Шоттки или без них;
- КМОП/п-МОП - с комплементарными или п-МОП транзисторами;
- ЭСЛ - эмиттерно-связанная логика;
- МОПТШ - логика на арсенид-галлиевых МОП структурах с диодами Шоттки.

Важнейшей характеристикой базового логического элемента, в литературе называемого также вентилем, является передаточная характеристика инвертора $U_{вых} = f(U_{вх})$.

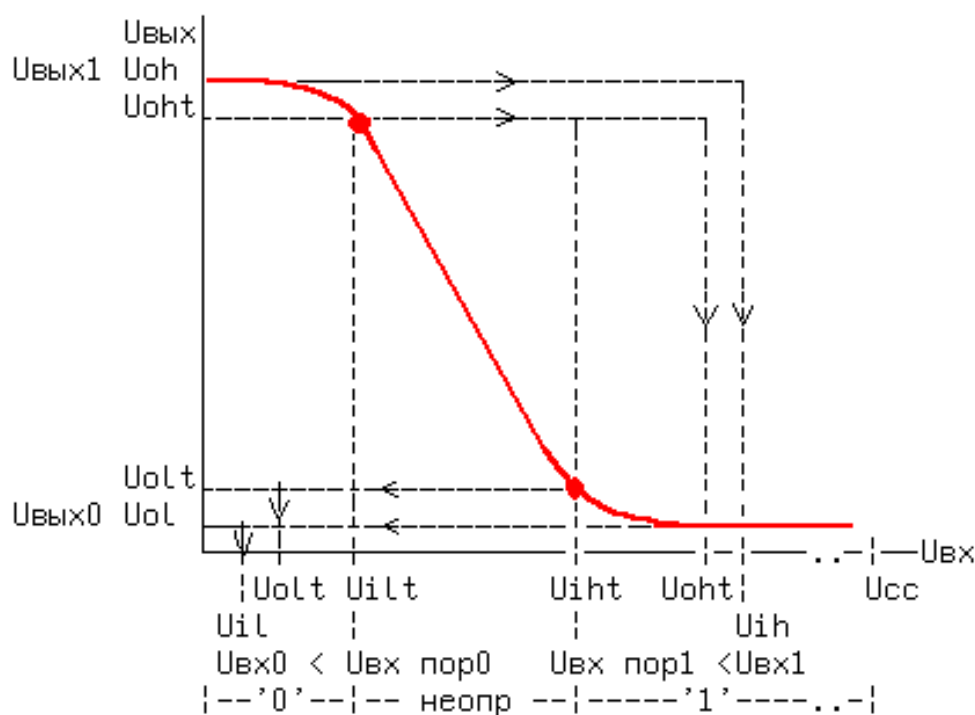


Рисунок 1.1 – Передаточная характеристика ЛЭ

Параметрами передаточной характеристики являются:

- $U_{\text{вых1}}/U_{\text{oh}}$ - напряжение на выходе ЛЭ, соответствующее логической единице - "1".
- $U_{\text{вых1пор}}/U_{\text{oh1}}$ - пороговое напряжение на выходе ЛЭ, еще соответствующее - "1".
- $U_{\text{вых0}}/U_{\text{ol}}$ - напряжение на выходе ЛЭ, соответствующее логическому нулю - "0".
- $U_{\text{вых0пор}}/U_{\text{olt}}$ - пороговое напряжение на выходе ЛЭ, еще соответствующее - "0".
- $U_{\text{вх1}}/U_{\text{ih}}$ - напряжение на входе ЛЭ, соответствующее логической единице - "1".
- $U_{\text{вх1пор}}/U_{\text{iht}}$ - пороговое напряжение на входе ЛЭ, еще соответствующее - "1".
- $U_{\text{вх0}}/U_{\text{il}}$ - напряжение на входе ЛЭ, соответствующее логическому нулю - "0".
- $U_{\text{вх0пор}}/U_{\text{ilt}}$ - пороговое напряжение на входе ЛЭ, еще соответствующее - "0".
- $U_{\text{сс}}$ - напряжение источника питания ЛЭ.

Чем больше разница между вых/вх сигналами и соответствующими им пороговыми значениями, тем выше помехоустойчивость ЛЭ.

1.2.4.3 Динамические параметры ЛЭ

Среди многочисленных динамических параметров, характеризующих схему, выделим следующие:

- время перехода при включении (t^{10}) (задний фронт);
- время перехода при выключении (t^{01}) (передний фронт);
- время задержки распространения при включении ($t_{\text{зд}}^{01}$);
- время задержки распространения при выключении ($t_{\text{зд}}^{10}$);
- среднее время задержки распространения ($t_{\text{зд ср}}$) – интервал времени, равный полусумме времен задержки распространения сигнала при включении и при выключении; в дальнейшем это время будем называть временем задержки элемента ($t_{\text{зд}}$).

Проиллюстрируем некоторые статические и динамические параметры логических схем на примере работы элемента "НЕ". Временная диаграмма входного и выходного сигналов этого элемента, на которой отмечены его статические и динамические параметры, приведена на рисунке 1.2.

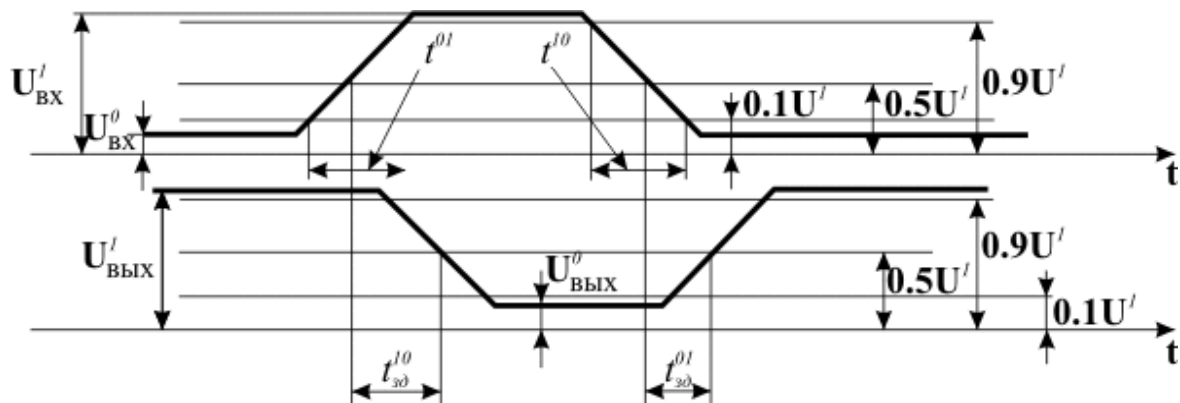


Рисунок 1.2 – Статические и динамические параметры элемента "НЕ"

1.2.4.4 Коэффициент объединения ЛЭ

Коэффициентом объединения $K_{об}$ называется количество входов логического элемента, участвующих в формировании логической функции.

У логического элемента "НЕ" коэффициент объединения равен 1. У логических элементов, соответствующих таблице 1.2 коэффициент объединения равен двум, у логических элементов, соответствующих таблицам 1.4–1.6 коэффициент объединения равен трем. Промышленностью выпускаются схемы с $K_{об}=2,3,4,8$.

Для получения схем с другим числом входов основные элементы можно объединять. Например, если требуется пятивходовая схема И, то ее можно получить, используя сочетательный закон следующим способом: $x_0 \cdot x_1 \cdot x_2 \cdot x_3 \cdot x_4 = (x_0 \cdot x_1) \cdot (x_2 \cdot x_3 \cdot x_4) = (x_0 \cdot x_1) \cdot x_2 \cdot x_3 \cdot x_4$, т.е. требуются две двухвходовые и одна трехвходовая схемы И, для первого варианта, либо одна двухвходовая и одна четырехвходовая - для второго (рисунок 1.3).

Можно использовать и восьмивходовую схему И, подав на незадействованные входы "1", либо некоторые из переменных, в соответствии с выражением $x_0 \cdot x_1 \cdot x_2 \cdot x_3 \cdot x_4 = x_0 \cdot x_1 \cdot x_2 \cdot x_3 \cdot x_4 \cdot 1 \cdot 1 \cdot 1$.

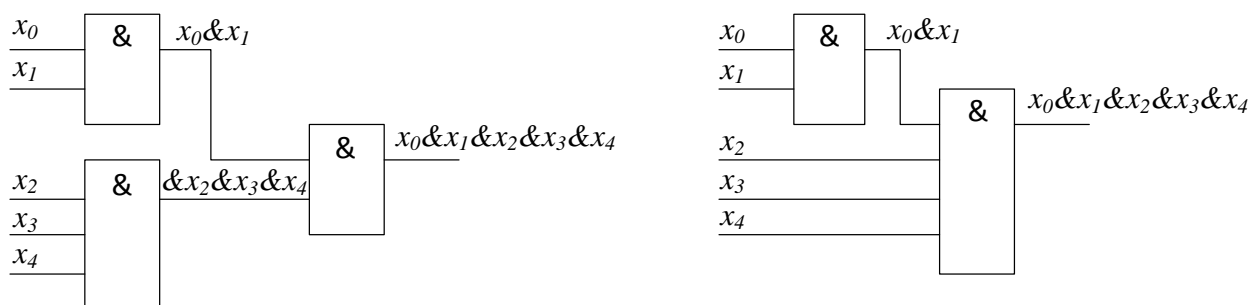


Рисунок 1.3 – Схемы увеличения коэффициента объединения ЛЭ

1.2.4.5 Коэффициент разветвления

Коэффициент разветвления или нагрузочная способность ($K_{\text{раз}}, N$) - максимальное число входов которые можно подключить к отдельному выходу микросхемы. Причем сумма входных токов должна быть меньше выходного тока отдельного выхода микросхемы. Если микросхема имеет несколько выходов, то суммарный ток всех выходов не должен превышать паспортного значения для данной микросхемы, даже если отдельные выходы микросхемы будут недогружены.

Для определения N находят отдельно две суммы входных токов для логического 0 и 1 на j -выходе:

$$I_{\text{вых}}^0 > \left| \sum_{n} (-I_{\text{вх}}^0) \right|, \quad | -I_{\text{вых}}^1 | > \sum_{m} (I_{\text{вх}}^1).$$

Минимальная сумма и будет $K_{\text{раз}} - N = \min(n, m)$, m, n - целые значения (рисунок 1.4).

1.3 Средства исследования цифровых устройств программы *Electronics Workbench*

Программа *Electronics Workbench* [5] позволяет моделировать аналоговые, цифровые и цифро-аналоговые схемы большой степени сложности. Имеющиеся в программе библиотеки включают в себя большой набор широко распространенных электронных компонентов. Есть возможность подключения и создания новых библиотек компонентов.

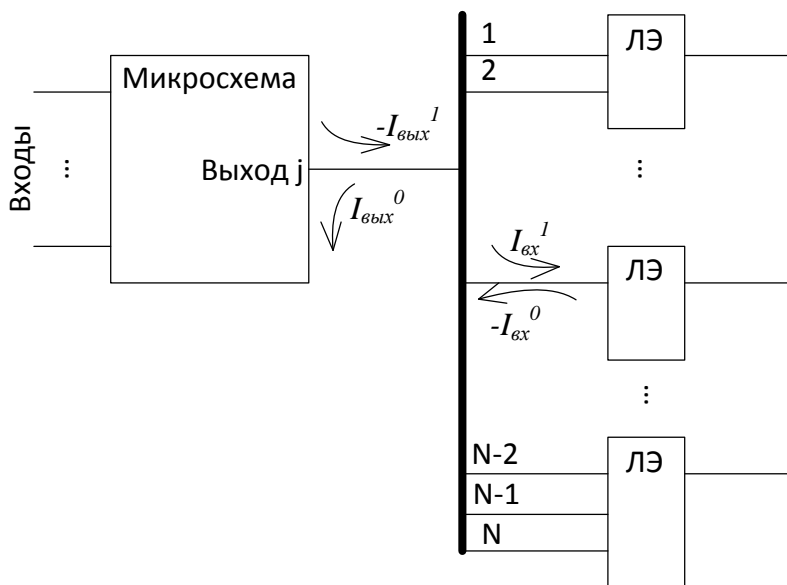
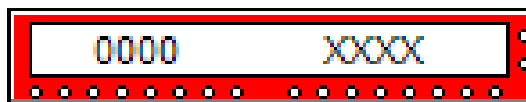


Рисунок 1.4 – Определение коэффициента разветвления

1.3.1.1 Генератор слов

На схему выводится уменьшенное изображение генератора слов.



На шестнадцать выходов в нижней части генератора параллельно подаются биты генерируемого слова.

На выход тактового сигнала (правый нижний) подается последовательность тактовых импульсов с заданной частотой.

Вход синхронизации (правый верхний) используется для подачи синхронизирующего импульса от внешнего источника.

Двойным щелчком "мыши" открывается расширенное изображение генератора (рисунок 1.5, а). Левая часть генератора содержит 16 разрядные слова, задаваемые в шестнадцатеричном коде. Каждая кодовая комбинация заносится с помощью клавиатуры. Номер редактируемой ячейки (от 0 до 03FF, т.е. от 0 до 2047) высвечивается в окошке *Edit*. В процессе работы генератора в отсеке *Address* индицируется адрес текущей ячейки (*Current*), начальной ячейки (*Initial*) и конечной ячейки (*Final*). Выдаваемые на 16 выходов (внизу генератора) кодовые комбинации индицируются в коде ASCII и двоичном коде (*Binary*).

Генератор может работать в шаговом, циклическом и непрерывном режимах.

- Кнопка *Step* переводит генератор в пошаговый режим;
- Кнопка *Burst* - в циклический режим (на выход генератора однократно последовательно поступают все слова;
- Кнопка *Cycle* - в непрерывный режим. Для того чтобы прервать работу в непрерывном режиме, нужно еще раз нажать кнопку *Cycle*.

Панель *Trigger* определяет момент запуска генератора (*Internal* - внутренняя синхронизация, *External* - внешняя синхронизация по готовности данных).

Режим внешней синхронизации используется в случае, когда исследуемое устройство может квитировать (подтверждать) получение данных. В этом случае на устройство вместе с кодовой комбинацией поступает сигнал с клеммы *Data ready*, а исследуемое устройство должно выдать сигнал получения данных, который должен быть подключен к клемме *Trigger* генератора слов. Этот сигнал и производит очередной запуск генератора.

Кнопка *Breakpoint* прерывает работу генератора в указанной ячейке. Для этого нужно выбрать требуемую ячейку курсором, а затем нажать кнопку *Breakpoint*

Кнопка *Pattern* открывает меню с помощью которого можно

Clear buffer - стереть содержимое всех ячеек,

Open - загрузить кодовые комбинации из файла с расширением *.dp*.

Save - записать все набранные на экране комбинации в файл;


Up counter - заполнить буфер экрана кодовыми комбинациями, начиная с 0 в нулевой ячейке и далее с прибавлением единицы в каждой последующей ячейке;

Down counter - заполнить буфер экрана кодовыми комбинациями, начиная с *FFFF* в нулевой ячейке и далее с уменьшением на 1 в каждой последующей ячейке;

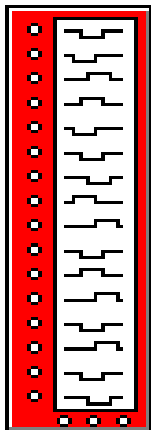
Shift right - заполнить каждые четыре ячейки комбинациями 8000-4000-2000-1000 со смещением их в следующих четырех ячейках вправо;

Shift left - то же самое, но со смещением влево.

1.3.1.2 Логический пробник

Логический пробник (*Red Probe*) - . Светится красным светом, если на него подаётся сигнал с уровнем логической единицы. В окне Свойств цвет может быть изменён на зелёный (*Green*) или синий (*Blue*).

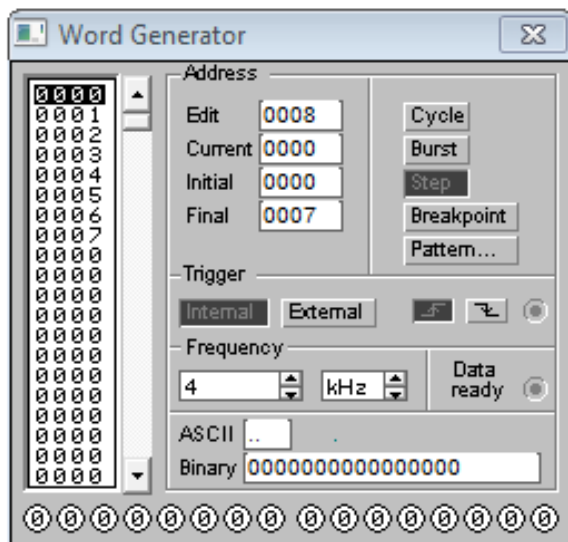
1.3.1.3 Логический анализатор



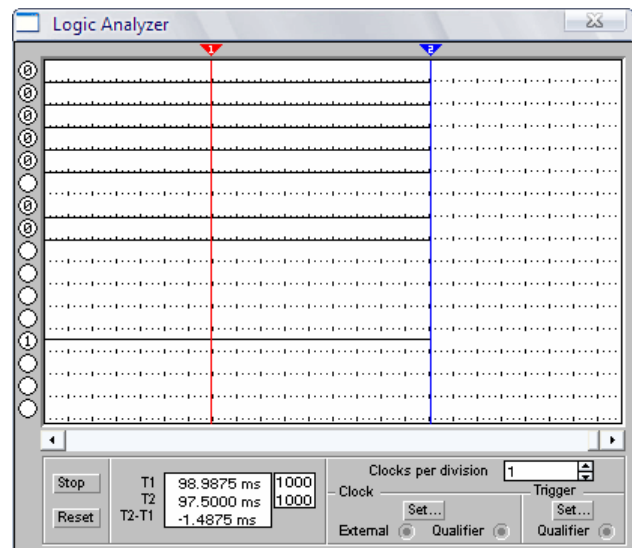
На схему выводится уменьшенное изображение логического анализатора.

Логический анализатор подключается к схеме с помощью выводов в его левой части. Одновременно могут наблюдаться сигналы в 16 точках схемы. Анализатор снабжен двумя визирными линейками, что позволяет получать отсчеты временных интервалов T1, T2, T2-T1, а также линейкой прокрутки по горизонтали.

Двойным щелчком "мыши" открывается расширенное изображение логического анализатора (рисунок 1.5, б).



а



б

Рисунок 1.5 – Средства исследования цифровых устройств:
а – генератор слов; б – логический анализатор

В блоке *Clock* имеются клеммы для подключения обычного *External* и избирательного *Qualifier* источника запускающих сигналов, параметры которых могут быть установлены с помощью меню, вызываемого кнопкой *Set*.

Запуск можно производить по переднему (*Positive*) или заднему (*Negative*) фронту запускающего сигнала с использованием внешнего (*External*) или внутреннего (*Internal*) источника. В окне *Clock qualifier* можно установить значение логического сигнала (0,1 или x) при котором производится запуск анализатора.

Внешняя синхронизация может осуществляться комбинацией логических уровней, подаваемых на входы каналов анализатора.

1.4 Схема исследования логических элементов

Схема исследования логических элементов представлена на рисунке 1.6.

На этой схеме представлены трехходовые логические элементы и элемент "НЕ", изображенные в соответствии со стандартом *milspec 806B*. В качестве устройства, формирующего входные тестовые последовательности для исследуемых логических элементов, используется генератор слов. Входные и выходные сигналы логических элементов отображаются логическими пробниками, а также подаются на входы логического анализатора для отображения в виде временных диаграмм для последующего анализа.

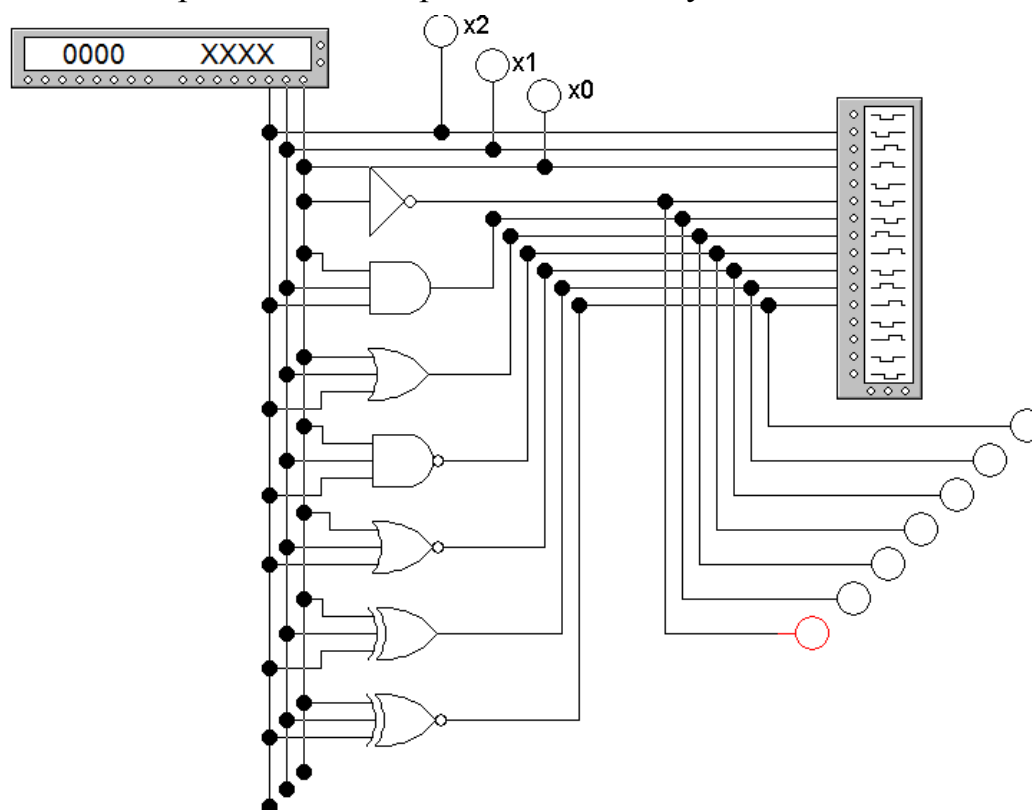


Рисунок 1.6 – Схема исследования логических элементов

1.5 Задание на проведение исследования

Исследование включает в себя экспериментальное определение таблиц истинности логических элементов, представленных на схеме 1.6, снятие временных диаграмм входных и выходных сигналов и сопоставления временных диаграмм с таблицами истинности.

1.5.1.1 Для определения таблиц истинности необходимо:

- настроить генератор слов, как показано на рисунке 1.5, а;
- в пошаговом режиме (кнопка *Step*) посредством логических пробников, подключенных к входам (пробники x_2 , x_1 , x_0) и выходам логических элементов, определить значения выходных сигналов для каждой комбинации входных сигналов и заполнить таблицу 1.7.

Таблица 1.7

Значения аргументов			Значения функции						
X1	X2	X3	1	2	3	4	5	6	7
0	0	0							
0	0	1							
0	1	0							
0	1	1							
1	0	0							
1	0	1							
1	1	0							
1	1	1							
Тип логического элемента									
Функциональная электрическая схема (ЕСКД)									

1.5.1.2 Для снятия временных диаграмм необходимо:

- переключить генератор слов в циклический режим (кнопка *Cycle*) и запустить схему;
- перевести программу *Electronics Workbench* в режим паузы (кнопка *Pause*)
- двойным щелчком "мыши" развернуть логический анализатор;

- линейкой прокрутки по горизонтали перевести экран анализатора на начальный участок временных диаграмм;

- перерисовать или скопировать временные диаграммы.

Скопировать схему или произвольную часть рабочего поля программы *Electronics Workbench* можно командой *Copy as Bitmap* вкладки меню *Edit*.

1.5.1.3 Сопоставьте полученные таблицы истинности и временные диаграммы.

1.5.1.4 Сделайте выводы по работе.

1.5.1.5 Оформите отчет о работе.

1.6 Требования к отчёту по работе

Отчёт по работе может выполняться в отдельной тетради (вместе с отчётами по другим работам этой же дисциплины) или в виде отдельного отчёта на стандартных листах бумаги с титульным листом, оформленным по общепринятым требованиям.

Отчёт должен содержать:

- цель работы;
- краткие теоретические сведения о логических элементах
- функциональные электрические схемы исследуемых устройств с обозначениями логических элементов;
- результаты исследования логических элементов, представленные в виде таблицы 1.7 и полученных временных диаграмм;
- выводы.

1.7 Контрольные вопросы

1. Перечислите и охарактеризуйте способы задания логических функций. Приведите примеры.

2. Сколько различных логических функций может быть определено на множестве n переменных?

3. Перечислите и охарактеризуйте основные логические функции.

4. Представьте функции двух переменных в дизъюнктивной (конъюнктивной) нормальной форме.

5. Докажите основные тождества алгебры логики.

6. Приведите таблицы истинности и условные изображения основных логических элементов.
7. Как обозначаются логические интегральные микросхемы?
8. Назовите основные статические параметры логических ИМС.
9. Назовите основные динамические параметры логических ИМС.

2 Исследование типовых комбинационных устройств

2.1 Цель работы

Целью работы являются:

- закрепление теоретических знаний по типовым узлам цифровых устройств – дешифраторам, преобразователям кодов, мультиплексоров [3, 4];
- приобретение практических навыков исследования дешифратора, преобразователя двоичного кода в код семисегментного индикатора, мультиплексора, выполненных на ИМС.

2.2 Краткие теоретические сведения

Дешифратором называется устройство, имеющее несколько входов и несколько выходов, преобразующее код, подаваемый на вход, в сигнал на одном из выходов.

Условное графическое обозначение дешифратора на два входа представлено на рисунке 2.1. При подаче кода на входы A_0, A_1 , называемые в некоторых источниках адресными, сигнал появляется на одном из выходов $Q_0 - Q_3$. Вход E является вспомогательным входом – он предназначен для разрешения (стробирования) выдачи выходного сигнала дешифратора. В таблице 2.1 приведена таблица истинности.

Дешифратор, имеющий n входов и 2^n выходов, называется полным.

DC			Таблица 2.1						
A0		Q0	A1	A0	E	Q0	Q1	Q2	Q3
—		—	0	0	1	1	0	0	0
—		—	0	1	1	0	1	0	0
—		—	1	0	1	0	0	1	0
—		—	1	1	1	0	0	0	1
—		—	x	x	0	0	0	0	0

Рисунок 2.1

Дешифратор, имеющий n входов и меньше чем 2^n выходов, называется неполным.

Дешифратор, представленный на рисунке 2.1 - полный.

В системах управления и связи широкое применение находят преобразователи кодов, преобразующие одно кодовое представление дискретной информации в другое. Среди них есть преобразователи двоичного кода в код семисегментного индикатора, которые применяются в различных цифровых устройствах индикации. Схема расположения сегментов в таком индикаторе и обозначение сегментов представлено на рисунке 2.2. На рисунке 2.3 представлено условное графическое обозначение преобразователя двоичного кода в код семисегментного индикатора. В таблице 2.2 приведена таблица истинности преобразователя кода.

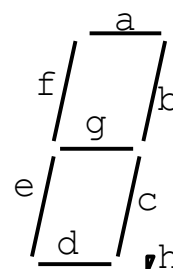


Рисунок 2.2

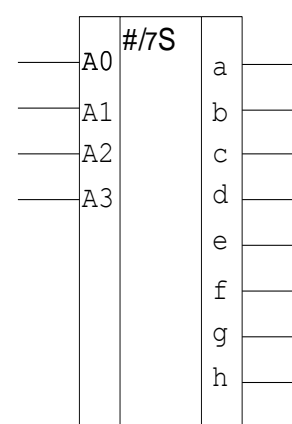


Рисунок 2.3

Мультиплексором называется цифровое устройство, предназначенное для выбора одного одноразрядного двоичного сигнала из нескольких входных и передачу его на выход.

Таблица 2.2

D3	D2	D1	D0	() ₁₀	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	1	0	1	1	0	0	0	0
0	0	1	0	2	1	1	0	1	1	0	1
0	0	1	1	3	1	1	1	1	0	0	1
0	1	0	0	4	0	1	1	0	0	1	1
0	1	0	1	5	1	0	1	1	0	1	1
0	1	1	0	6	1	0	1	1	1	1	1
0	1	1	1	7	1	1	1	0	0	0	0
1	0	0	0	8	1	1	1	1	1	1	1
1	0	0	1	9	1	1	1	1	0	1	1
1	0	1	0	10	1	1	1	0	1	1	1
1	0	1	1	11	0	0	0	1	1	1	1
1	1	0	0	12	1	0	0	1	1	1	0
1	1	0	1	13	0	1	1	1	1	0	1
1	1	1	0	14	1	0	0	1	1	1	1
1	1	1	1	15	1	0	0	0	1	1	1

Условное графическое обозначение мультиплексора представлено на рисунке 2.4.

Мультиплексор имеет несколько информационных входов - D_0, D_1, D_2, \dots , адресные входы - A_0, A_1, A_2, \dots , вход разрешения - E и один выход - Q .

Каждому информационному входу D_i присваивается адрес, код которого подается на входы адресные A_0, A_1, A_2, \dots . При подаче на вход E (стробирующий вход) сигнала разрешения (для мультиплексора на рисунке 2.4 сигнал разрешения – сигнал нулевого уровня) на выход Q передается двоичная переменная со входа D_i , адрес которого задан адресным кодом.

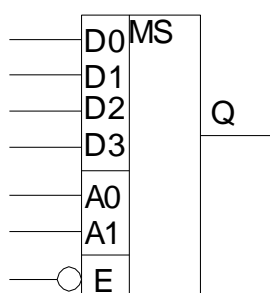


Рисунок 2.4

Таблица 2.3 – Таблица функционирования

Адресный код		E	Q
A_0	A_1		
0	0	0	D_0
0	1	0	D_1
1	0	0	D_2
1	1	0	D_3
x	x	1	0

2.3 Схемы исследования комбинационных устройств

На рисунке 2.5 представлены схемы исследования дешифратора (микросхемы 74138) на восемь выходов с тремя входами разрешения, объединенных по схеме И. Таблица истинности микросхемы 74138 представлена в таблице 2.4.

На рисунке 2.6 представлены схемы исследования двухразрядного мультиплексора (микросхемы 74353 – два двухразрядных мультиплексора) на четыре выхода с входом разрешения. Таблица истинности микросхемы 74253 представлена в таблице 2.5.

К четырем информационным входам мультиплексора подключены источники сигналов: логического "0" и три генератора с частотами – 0.5 кГц, 1.0 кГц, 2.0 кГц.

На рисунке 2.7 представлены схемы исследования преобразователя двоичного кода в код семисегментного индикатора (микросхемы 7448). Таблица истинности микросхемы 7448 представлена в таблице 2.6.

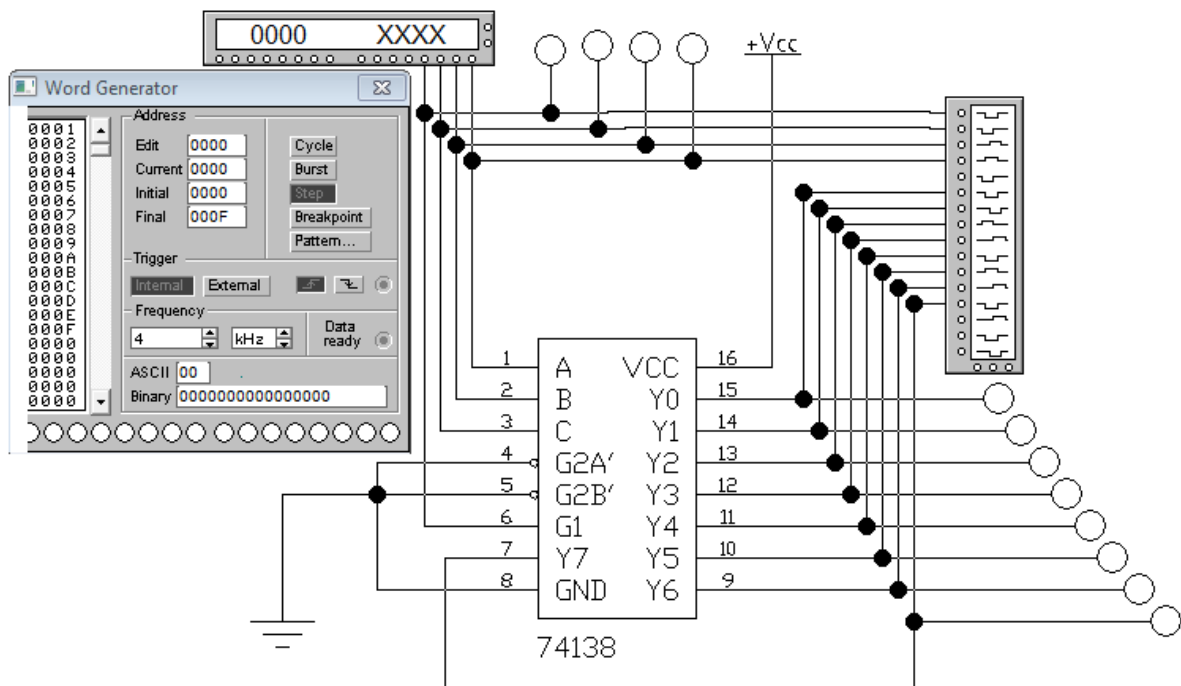


Рисунок 2.5 – Схема исследования дешифратора

Таблица 2.4 – Таблица истинности дешифратора 3-8 74138 (К555ИД7)

Входы разрешения			Адресные входы			Выходы							
$\overline{G2A}$	\overline{G}	$\overline{G2B}$	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
x	x	1	x	x	x	1	1	1	1	1	1	1	1
x	0	x	x	x	x	1	1	1	1	1	1	1	1
0	1	0	0	0	0	0	1	1	1	1	1	1	1
0	1	0	0	0	1	1	0	1	1	1	1	1	1
0	1	0	0	1	0	1	1	0	1	1	1	1	1
0	1	0	0	1	1	1	1	1	0	1	1	1	1
0	1	0	1	0	0	1	1	1	1	0	1	1	1
0	1	0	1	0	1	1	1	1	1	1	0	1	1
0	1	0	1	1	0	1	1	1	1	1	1	0	1
0	1	0	1	1	1	1	1	1	1	1	1	1	0
1	1	0	x	x	x	1	1		1	1	1	1	1

Примечание: входы $\overline{G2A}$, \overline{G} , $\overline{G2B}$ объединены по схеме И;
x – произвольное значение на входе

Разрешающие сигналы формируются при помощи трех переключателей – "R", "B", "L". На входы D, C, B, A подается двоичный код.

2.4 Задание на проведение исследования

Исследование включает в себя экспериментальное снятие временных диаграмм входных и выходных сигналов микросхем дешифратора и мультиплексора (микросхемы 74138 и 74253) и сопоставление временных диаграмм таблиц истинности, а также определение таблиц истинности преобразователя двоичного кода в код семисегментного индикатора (микросхема 7448).

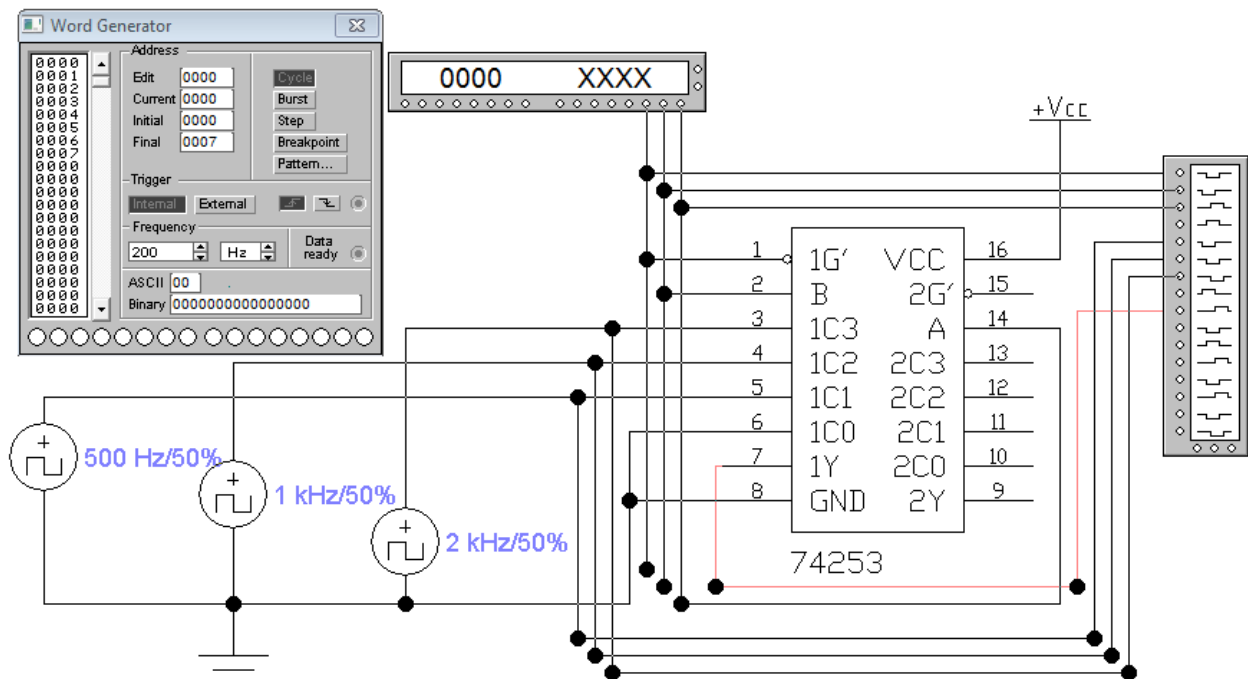


Рисунок 2.6 – Схема исследования мультиплексора

Таблица 2.5 – Таблица истинности мультиплексора "4-1" 74253

Адресные входы		Входы разрешения	Входы данных				Выходы
B	A	\overline{GX}	C0	C1	C2	C3	YX
x	x	1	x	x	x	x	z
0	0	0	0	x	x	x	0
0	0	0	1	x	x	x	1
0	1	0	x	0	x	x	0
0	1	0	x	1	0	x	1
1	0	0	x	x	0	x	0
1	0	0	x	x	1	x	1
1	1	0	x	x	x	0	0
1	1	0	x	x	x	1	1

Примечание: z – третье состояние на выходе;
x – произвольное значение на входе

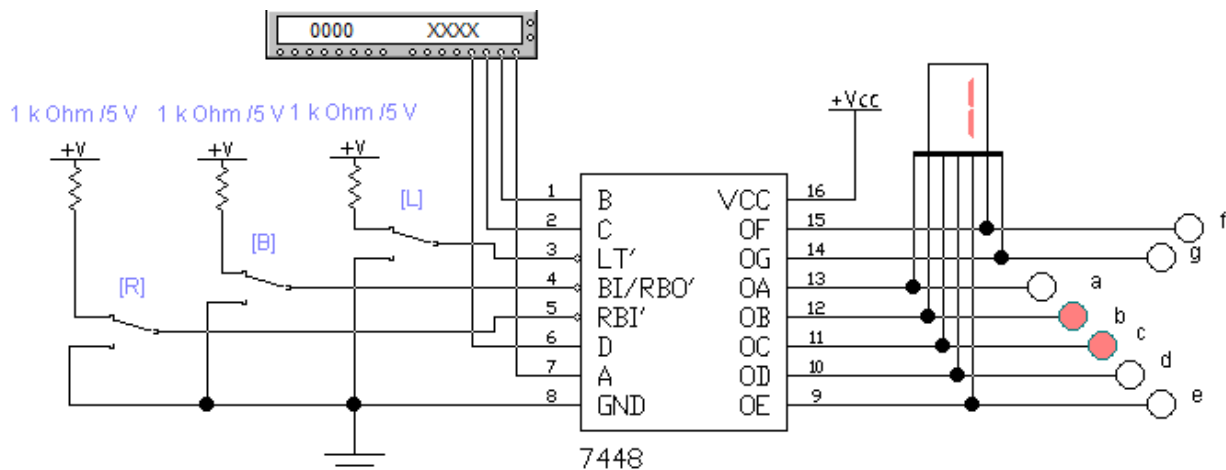


Рисунок 2.7 – Схема исследования преобразователя двоичного кода в код семисегментного индикатора

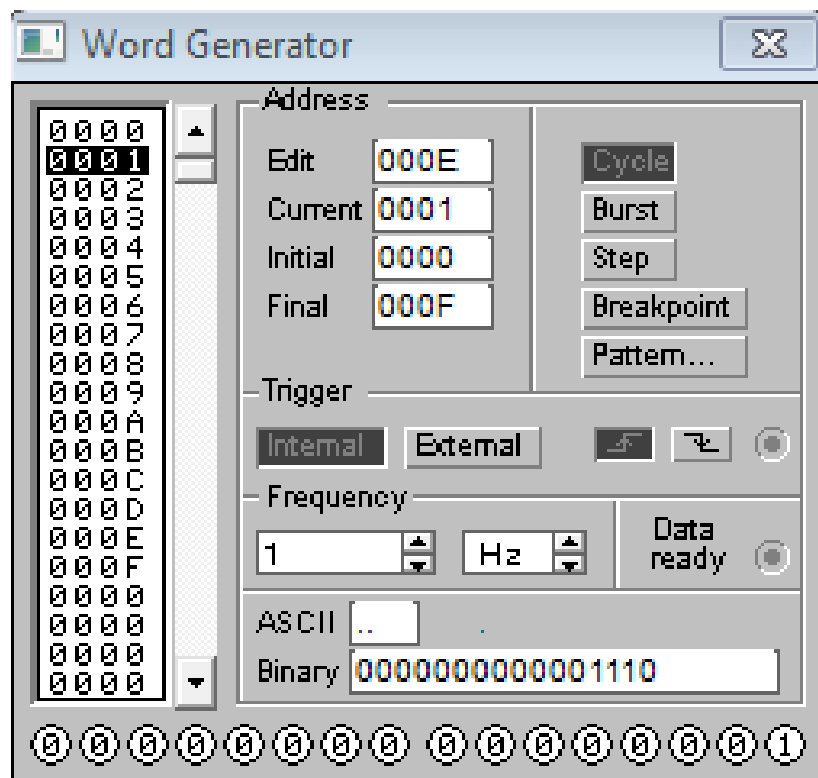


Рисунок 2.8 – Настройка генератора слов

2.4.1 Для снятия временных диаграмм необходимо:

- настроить генератор слов, как показано на рисунках 2.5 (при исследовании дешифратора), 2.6 (при исследовании мультиплексора);
- двойным щелчком "мыши" развернуть логический анализатор;

- переключить генератор слов в циклический режим (кнопка *Cycle*) и запустить схему;
- перевести программу *Electronics Workbench* в режим паузы (кнопка *Pause*)
- линейкой прокрутки по горизонтали перевести экран анализатора на начальный участок временных диаграмм;
- перерисовать или скопировать временные диаграммы.

Таблица 2.6 – Таблица истинности преобразователя двоичного кода в код семисегментного индикатора (микросхема 7448)

Входы разрешения			Двоичный код				Индицируемая цифра	Выходы сегментов						
\overline{RBI}	BI / \overline{RBI}	\overline{LT}	D	C	B	A		a	b	c	d	e	f	g
x	0	x	x	x	x	x	-	0	0	0	0	0	0	0
0	x	x	x	x	x	x	-	0	0	0	0	0	0	0
1	1	0	x	x	x	x	-	1	1	1	1	1	1	1
1	1	1	0	0	0	0	0	1	1	1	1	1	1	0
1	1	1	0	0	0	1	1	0	1	1	0	0	0	0
1	1	1	0	0	1	0	2	1	0	1	1	1	0	1
1	1	1	0	0	1	1	3	1	1	1	1	0	0	1
1	1	1	0	1	0	0	4	0	1	1	0	0	1	1
1	1	1	0	1	0	1	5	0	1	1	1	0	1	1
1	1	1	0	1	1	0	6	0	0	1	1	1	1	1
1	1	1	0	1	1	1	7	1	1	1	0	0	0	0
1	1	1	1	0	0	0	8	1	1	1	1	1	1	1
1	1	1	1	0	0	1	9	1	1	1	0	0	1	1

Примечание: x – произвольное значение на входе

Скопировать схему или произвольную часть рабочего поля программы *Electronics Workbench* можно командой *Copy as Bitmap* вкладки меню *Edit*.

2.4.2 Для определение таблиц истинности преобразователя двоичного кода в код семисегментного индикатора необходимо:

- настроить генератор слов, как показано на рисунке 2.8;
- значения сигналов на входах разрешения преобразователя менять посредством клавиш **R**, **B**, **L**;

– в пошаговом режиме (кнопка *Step*) посредством логических пробников, подключенных к выходам логических элементов, определить значения выходных сигналов для каждой комбинации входных сигналов (определять по значениям сигналов на выходах генератора слов) и заполнить таблицу, аналогичную таблице 2.6.

2.4.3 Сопоставьте таблицы истинности преобразователя, полученные таблицы истинности и временные диаграммы для дешифратора и мультиплексора.

2.4.4 Сделайте выводы по работе.

2.4.5 Оформите отчет о работе.

2.5 Требования к отчёту по работе

Отчёт по работе может выполняться в отдельной тетради (вместе с отчётами по другим работам этой же дисциплины) или в виде отдельного отчёта на стандартных листах бумаги с титульным листом, оформленным по общепринятым требованиям.

Отчёт должен содержать:

- цель работы;
- краткие теоретические сведения об исследуемых комбинационных устройствах;
- схемы проведения исследований;
- полученные временных диаграмм, на которых указать все входные и выходные кодовые комбинации таблиц истинности соответствующих устройств;
- выводы.

2.6 Контрольные вопросы

1. Назначение, основные параметры и классификация дешифраторов.
2. Схема и работа линейного дешифратора.

3. Многоступенчатые дешифраторы.
4. Назначение, условное графическое обозначение преобразователей кода.
5. Назначение и принцип построения преобразователя двоичный код - код семисегментного дешифратора.
6. Коды для представления биполярных сигналов. Связь между ними.
7. Принципы построения преобразователей биполярных кодов для представления биполярных сигналов.
8. Назначение, условное графическое обозначение мультиплексоров.
9. Способы повышения разрядности мультиплексоров.
10. Применение мультиплексоров.

3 Исследование триггеров на интегральных микросхемах

3.1 Цель работы

Целью работы являются:

- закрепление теоретических знаний по триггерам;
- приобретение практических навыков исследования триггеров.

3.2 Порядок выполнения работы

Выполнение лабораторной работы и отчёта по ней рекомендуется проводить в следующем порядке:

- изучить лекционный материал по теме, ответить на контрольные вопросы;
- изучить лабораторную установку и объём исследований, представленные в подразделе 3.4 настоящего руководства;
- выполнить задание к лабораторной работе, представленное в п.3.5;
- оформить отчёт по работе в соответствии с требованиями п.3.6;
- предъявить отчёт преподавателю для утверждения;
- защитить отчёт о выполненной работе.

3.3 Краткие теоретические сведения

Триггером [3, 4] называется устройство, имеющее два устойчивых состояния и способное под действием управляющих сигналов скачкообразно переходить из одного состояния в другое.

Математической моделью триггера является элементарный автомат Мура, характеризующийся множеством $\{X, S, Z, f_s, f_z\}$, в котором подмножества S и Z содержат только по два элемента. Триггер, как простейший цифровой автомат, предназначен для хранения значения одной логической переменной (одного разряда двоичного числа).

Два выхода триггера обозначаются: *прямой* - Q и *инверсный* - \bar{Q} . Состояние триггера определяется по значению потенциала на прямом выходе: если этот потенциал имеет значение, соответствующее лог. «1», то считается, что триггер находится в единичном состоянии, иначе - в нулевом состоянии.

Входы триггера делятся на информационные и вспомогательные. Сигналы, поступающие на информационные входы, являясь сигналами возбуждения, управляют состоянием триггера. Сигналы, поступающие на вспомогательные входы, управляют предварительной установкой триггера и синхронизацией моментов времени переключения состояния.

3.3.1 Классификация триггеров

По функциональным возможностям:

- 1) триггеры с раздельной установкой - RS -триггеры;
- 2) триггеры с приемом информации по одному входу D -триггеры;
- 3) триггеры со счетным входом T -триггеры;
- 4) универсальные триггеры JK -триггеры.

Приняты следующие обозначения выводов триггеров:

- S - раздельный вход установки в единичное состояние по прямому выходу Q (*Set* - установка);
- R - раздельный вход сброса триггера в нулевое состояние по прямому выходу Q (*Reset* - сброс);
- Назначение J - и K -входов аналогичное R – S – входам.
- D - информационный вход (*Data Input*), на который подается информация, предназначенная для записи в триггер.
- T - счетный вход (*Toggle* - переключатель).
- C - вход синхронизации.

По способу приема информации:

- 1) асинхронные (нетактируемые);
- 2) синхронные (тактируемые).

Асинхронные триггеры меняют состояние в момент появления сигналов возбуждения на информационных входах. *Синхронные* - при воздействии сигналов на информационных входах и наличии разрешающих сигналов синхронизации.

Синхронные триггеры бывают со статическим управлением приемом информации, с динамическим управлением и двухступенчатые.

Синхронные триггеры со *статическим управлением* приемом информации принимают сигналы в течение времени действия синхронизирующего импульса, следовательно, состояние триггера может поменяться многократно с изменением сигналов на информационных входах. У таких триггеров вход синхронизации статический.

Синхронные триггеры с *динамическим управлением* приемом информации принимают только те информационные сигналы, которые поступают на информационные входы в момент подачи импульса синхронизации. У таких триггеров вход синхронизации динамический.

Синхронные двухступенчатые триггеры состоят из двух ступеней. Запись в первую ступень производится с появлением синхроимпульса, а во вторую - после окончания действия синхроимпульса. Следовательно, двухступенчатый триггер задерживает появление информации на выходе на время действия синхроимпульса

3.3.2 Асинхронные RS- триггеры

RS-триггеры это триггеры с раздельной установкой. Простейшими триггерами являются асинхронные RS-триггеры. Строятся на двухвходовых логических элементах И-НЕ и ИЛИ-НЕ.

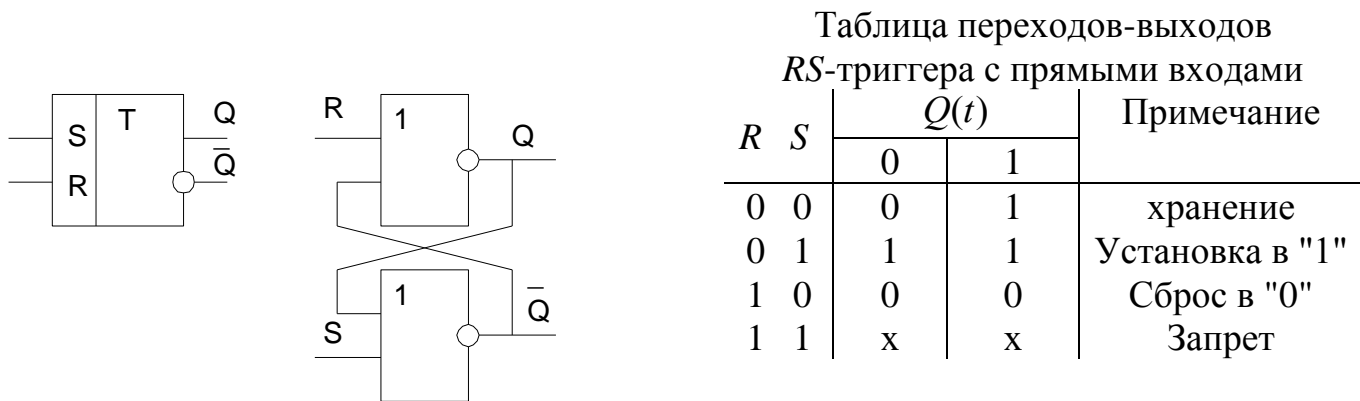


Рисунок 3.1- RS-триггер с прямыми входами

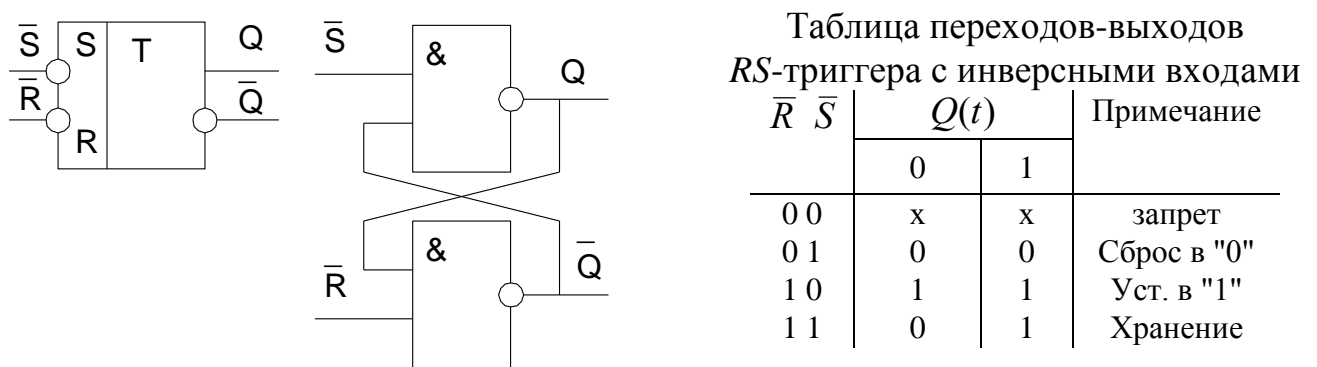


Рисунок 3.2- RS-триггер с инверсными входами

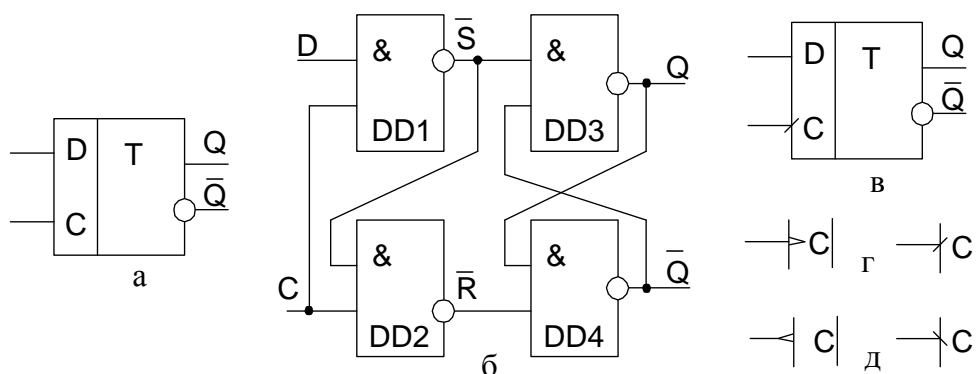
3.3.3 D-триггеры

D-триггером называется триггер с одним информационным входом, причем сигнал на выходе триггера повторяет сигнал на информационном входе до переключения, то есть $Q_{t+1} = D_t$.

Назначение D-триггера - задержка сигнала. Он имеет информационный вход D и вход синхронизации C . В D-триггере со статическим управлением (рисунок 3.3 а, б) приемом информации данные со входа D записываются в течении времени действия синхроимпульсов ($C=1$). В D-триггере с динамическим управлением приемом информации (рисунок 3.3 в) данные со входа D записываются по фронту или по спаду синхроимпульсов. Обозначения

синхронизирующих C -входов D -триггеров с динамическим управлением представлено на рисунке 3.3 г, д.

D -триггеры могут быть построены по различным схемам. Подробно рассмотрим схему D -триггера на элементах И-НЕ (рисунок 3.3 а, б). Элементы $DD3$, $DD4$ составляют асинхронный RS -триггер. Элементы $DD1$, $DD2$ образуют схему управления. Временные диаграмма работы D -триггера представлена на рисунке 3.4. Если на C -входе триггера сигнал $C=0$, то состояние триггера устойчиво и не зависит от сигнала на D -входе. При этом на входы асинхронного RS -триггера поступают сигналы $\bar{R} = \bar{S} = 1$, не изменяющие его состояния. При $C=1$ информация на прямом выходе будет повторять информацию на D -входе. То есть при $C=0$, $Q_{t+1}=Q_t$, а при $C=1$, $Q_{t+1}=D_t$.



а – D -триггер со статическим управлением,

б – функциональная схема D -триггера со статическим управлением,

в – D -триггер с динамическим управлением,

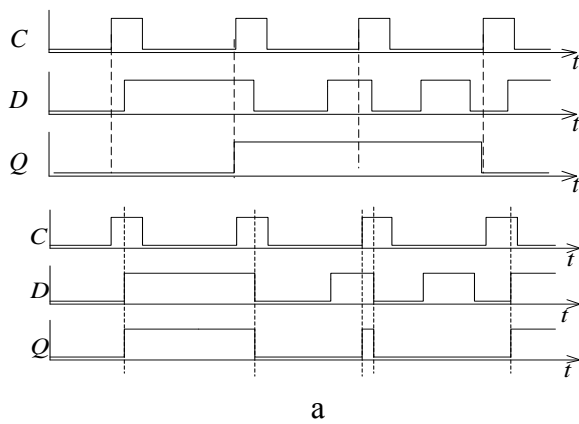
г – обозначение входа синхронизации со срабатыванием по переднему фронту,

д – обозначение входа синхронизации со срабатыванием по заднему фронту

Рисунок 3.3 – D -триггер

Таблица переходов-выходов

C	D	$Q(t)$		Примечание
		0	1	
0	0	0	1	"Хранение"
0	1	0	1	"Хранение"
1	0	0	0	Запись "0"
1	1	1	1	Запись "1"



а – триггера с динамическим управлением
б – триггера со статическим управлением

Рисунок 3.4 – Временные диаграммы D -триггера

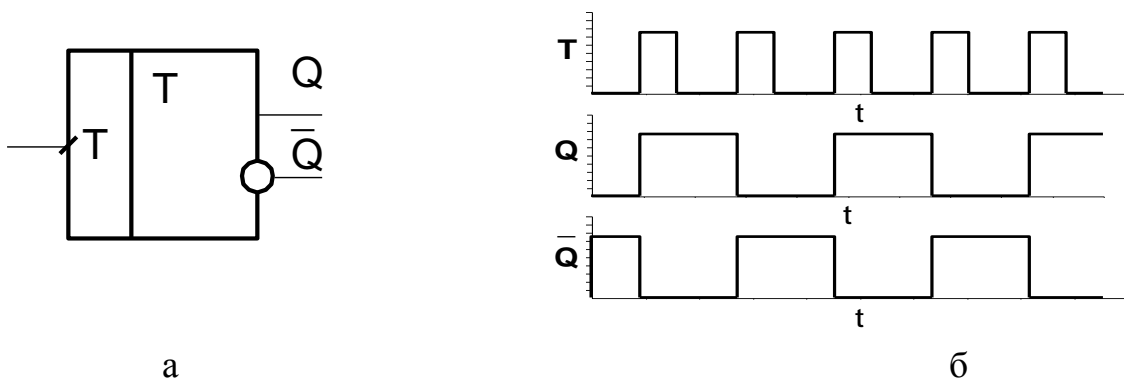
3.3.4 T -триггер

Часто в практике разработки цифровых устройств необходимо использовать триггер для деления частоты входной последовательности на два, то есть производить переключение триггера в противоположное состояние каждым входным импульсом.

Триггер, который меняет свое состояние с поступлением каждого входного импульсного сигнала, называется T -триггером (счетным триггером).

Условное графическое обозначение и временные диаграммы приведены на рисунке 3.5.

Рассмотренные триггеры не исчерпывают все разнообразие синхронных триггеров со статическим управлением.



а - условное графическое обозначение, б – временные диаграммы

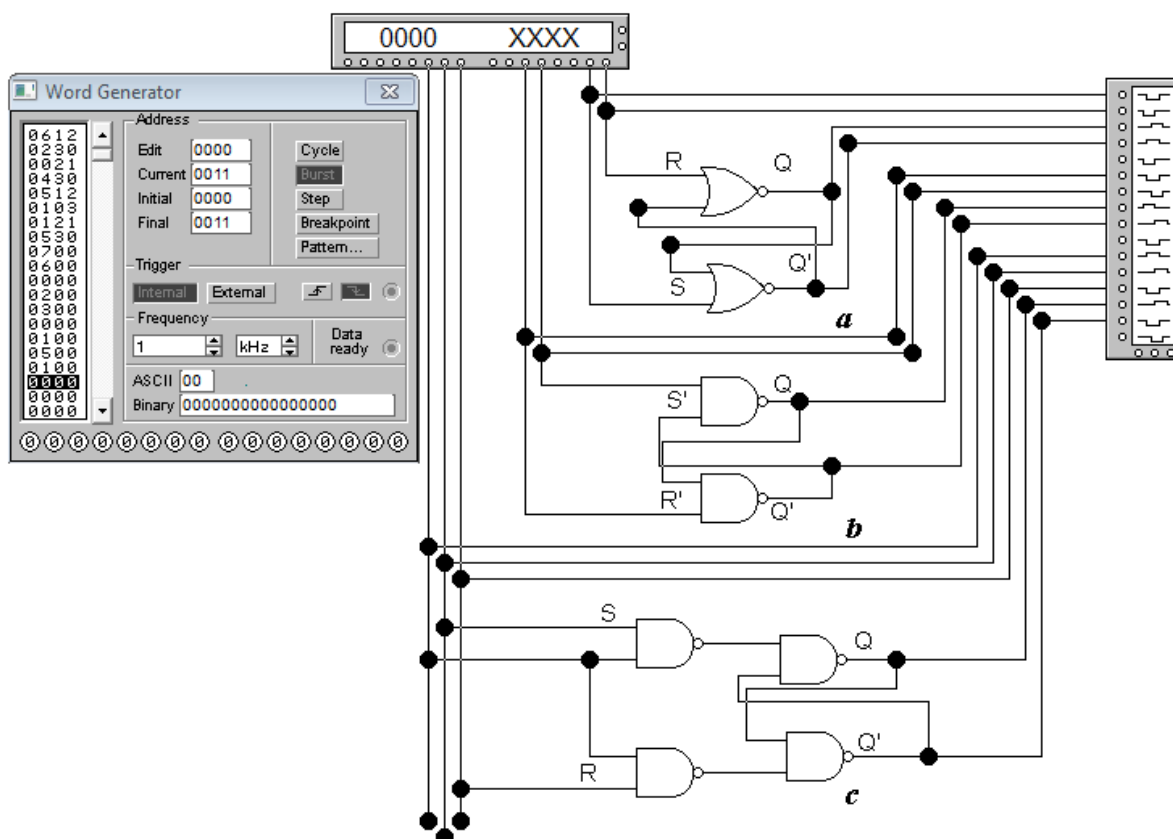
Рисунок 3.5 – *T*-триггер

3.4 Схемы исследования триггеров

На рисунке 3.6 представлена схема исследования *RS*-триггеров – асинхронных и синхронного с панелью генератора слов, настроенного на формирование временных диаграмм входных управляющих сигналов. Генератор слов имеет 16 двоичных выходов для шестнадцатиразрядных слов – $15p \dots 0p$. В данной схеме на трех выходах ($10p$, $9p$, $8p$), соответствующих второй шестнадцатеричной цифре на экране в левой части панели генератора, формируются сигналы для синхронного *RS*-триггера: $10p$ – сигнал синхронизации, $9p$ – сигнал для *S*-входа, $8p$ – сигнал для *R*-входа. На выходах $5p$ и $4p$ (первая шестнадцатеричная цифра) формируются сигналы для асинхронного *RS*-триггера с инверсными входами, а на выходах $1p$ и $0p$ (нулевая шестнадцатеричная цифра) формируются сигналы для асинхронного *RS*-триггера с прямыми входами. Для формирования временных диаграмм используются семнадцать кодовых комбинаций генератора слов – с ячейки с адресом $(0000)_h$ по ячейку с адресом $(0011)_h$. Входные и выходные сигналы триггеров поступают на входы логического анализатора для формирования временных диаграмм работы триггеров.

На рисунке 3.7 представлена схема исследования *D*-триггеров со статическим и динамическим управлением приема информации и *T*-триггера на основе *D*-триггера с динамическим управлением. В данной схеме на выходах $1p$ и $0p$ (нулевая шестнадцатеричная цифра) формируются сигналы для *S*-входов и *D*-входов триггеров соответственно. Для формирования временных диаграмм используются двадцать одна кодовая комбинация генератора слов – с ячейки с адресом $(0000)_h$ по ячейку с адресом $(0014)_h$. Входные и выход-

ные сигналы триггеров поступают на входы логического анализатора для формирования временных диаграмм работы триггеров.

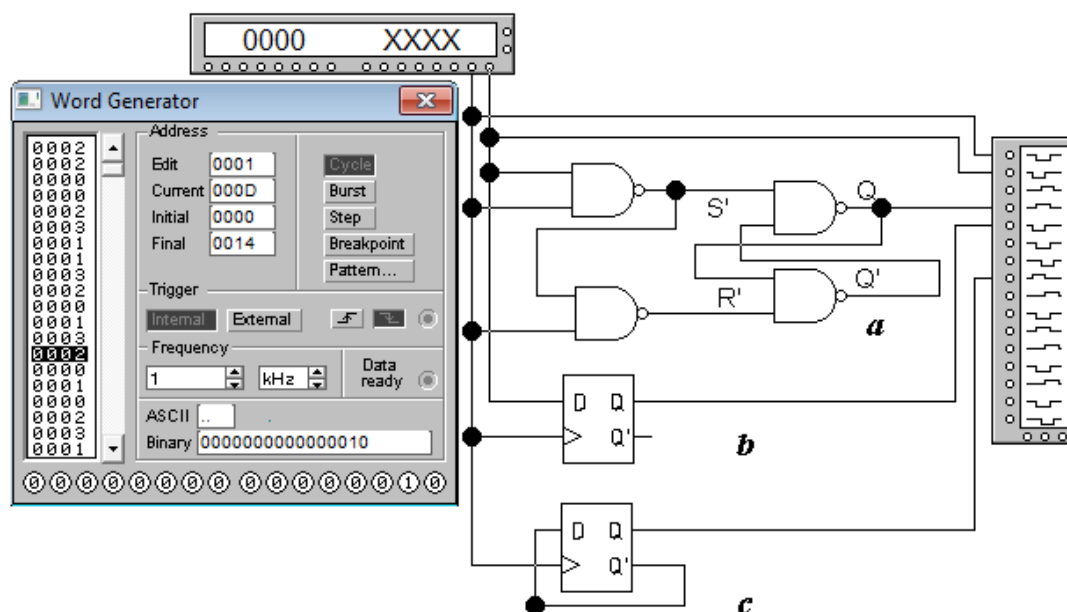


a – асинхронный с прямыми входами

b – асинхронный с инверсными входами

c – синхронный триггер

Рисунок 3.6 – Схема исследования *RS*-триггеров



a – *D*-триггер со статическим управлением

b – *D*-триггер с динамическим управлением по переднему фронту

c – *T*-триггер на основе *D*-триггер

Рисунок 3.7 – Схема исследования *D*- и *T*-триггеров

3.5 Задание на проведение исследования

Исследование включает в себя экспериментальное снятие временных диаграмм входных и выходных сигналов триггеров и сопоставление экспериментально снятых временных диаграмм с таблицами переходов-выходов триггеров.

3.5.1 Для снятия временных диаграмм необходимо:

- настроить генератор слов, как показано на рисунках 3.6 (при исследовании *RS*-триггеров), 3.7 (при исследовании *D*- и *T*-триггеров);
- двойным щелчком "мыши" развернуть логический анализатор;
- переключить генератор слов в циклический режим (кнопка *Cycle*) и запустить схему;
- перевести программу *Electronics Workbench* в режим паузы (кнопка *Pause*)
- линейкой прокрутки по горизонтали перевести экран анализатора на начальный участок временных диаграмм;
- перерисовать или скопировать временные диаграммы.

Скопировать схему или произвольную часть рабочего поля программы *Electronics Workbench* можно командой *Copy as Bitmap* вкладки меню *Edit*.

3.5.2 Сопоставьте таблицы переходов-выходов триггеров и полученные временные диаграммы работы. Для этого пронумеруйте кодовые комбинации генератора слов, используемые в эксперименте, отметьте этими номерами и значениями кодовых комбинаций входные сигналы на временных диаграммах и каждой кодовой комбинации сопоставьте строки таблиц переходов-выходов соответствующих триггеров.

3.5.3 Сделайте выводы по работе.

3.5.4 Оформите отчет о работе.

3.6 Требования к отчёту по работе

Отчёт по работе может выполняться в отдельной тетради (вместе с отчётами по другим работам этой же дисциплины) или в виде отдельного отчёта на стандартных листах бумаги с титульным листом, оформленным по общепринятым требованиям.

Отчёт должен содержать:

- цель работы;
- краткие теоретические сведения о триггерах
- схемы проведения исследований;
- полученные временных диаграмм, на которых указать все входные кодовые комбинации в соответствии с пп.3.5.2, состояния и режимы работы триггеров для каждой кодовой комбинации в соответствии с таблицами переходов-выходов;
- выводы.

3.7 Контрольные вопросы

1. Дайте определение триггера.
2. Приведите условное графическое обозначение, функциональную схему и временные диаграммы работы асинхронного *RS*-триггера с прямыми входами.
3. Приведите условное графическое обозначение, функциональную схему и временные диаграммы работы асинхронного *RS*-триггера с инверсными входами.
4. Приведите условное графическое обозначение, функциональную схему и временные диаграммы работы синхронного *RS*-триггера.
5. Приведите условное графическое обозначение, функциональную схему и временные диаграммы работы *D*-триггера.

6. Приведите условное графическое обозначение и временные диаграммы работы T -триггера.
7. Приведите условное графическое обозначение и временные диаграммы работы двухступенчатого JK -триггера.
8. Назовите два способа построения схем T -триггера.
9. Перечислите основные применения триггеров.
10. Система обозначений ИМС, содержащих триггеры.

4 Исследование счетчиков

4.1 Цель работы.

Целью работы являются:

- закрепление теоретических знаний по типовым цифровым устройствам с памятью - счетчикам;
- приобретение практических навыков исследования двоичного счетчика и счетчика с произвольным модулем счета.

4.2 Порядок выполнения работы

Выполнение лабораторной работы и отчёта по ней рекомендуется проводить в следующем порядке:

- изучить лекционный материал по теме, ответить на контрольные вопросы, изложенные в п.4.7 настоящего руководства;
- выполнить задание к лабораторной работе, представленное в п. 4.5;
- оформить отчёт по работе в соответствии с требованиями п. 4.6;
- предъявить отчёт преподавателю для утверждения;
- защитить отчёт.

4.3 Краткие теоретические сведения

4.3.1 Представление информации в цифровых устройствах

В цифровых устройствах для представления информации используется двоичная позиционная система счисления, использующая только две цифры (0 и 1) для записи произвольного числа. Это обусловлено тем, что цифровые устройства строятся из электронных узлов, имеющих два устойчивых состояний.

Двоичная система счисления, так же как и десятичная, является позиционной. В каждом разряде двоичного числа могут содержаться только две

цифры - 0 или 1. Вес каждого разряда двоичного числа (бита) зависит от положения разряда.

Двоичное число может быть представлено в виде суммы степеней 2:

$$\{a_n a_{n-1} \dots a_1 a_0\}_2 = a_n 2^n + a_{n-1} 2^{n-1} + \dots a_1 2^1 + a_0 2^0, \quad a_i = \{0, 1\}.$$

Для сокращения записи чисел, представленных в двоичной форме, используют восьмеричное и шестнадцатеричное представление двоичных чисел. В восьмеричной форме представления используются восемь цифр от 0 до 7. Три разряда двоичного числа заменяются одной восьмеричной цифрой. В шестнадцатеричной форме представления используется алфавит из 16 символов – цифры от 0 до 9 и буквы: *A, B, C, D, E, F*. Четырехзначное двоичное число представляется одной цифрой шестнадцатеричной системы счисления. В таблице 1 представлены числа от 0 до 21 в десятичной, двоичной, восьмеричной и шестнадцатеричной системах счисления.

Перевод из двоичной системы счисления в десятичную систему

$$11001 = 1 \cdot 2^4 + 1 \cdot 2^3 + 0 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 16 + 8 + 0 + 0 + 1 = 25.$$

В цифровой технике иногда используется и двоично-десятичный код, в котором каждая десятичная цифра заменяется двоичным кодом.

Таблица 4.1 – Представление чисел в позиционных системах счисления

Число				Число			
десятичное	двоичное	восьмеричное	шестнадцатеричное	десятичное	двоичное	восьмеричное	шестнадцатерич.
0	0000	00	0	11	1011	13	B
1	0001	01	1	12	1100	14	C
2	0010	02	2	13	1101	15	D
3	0011	03	3	14	1110	16	E
4	0100	04	4	15	1111	17	F
5	0101	05	5	16	1 0000	20	10
6	0110	06	6	17	1 0001	21	11
7	0111	07	7	18	1 0010	22	12
8	1000	10	8	19	1 0011	23	13
9	1001	11	9	20	1 0100	24	14
10	1010	12	A	21	1 0101	25	15

4.3.2 Счетчики

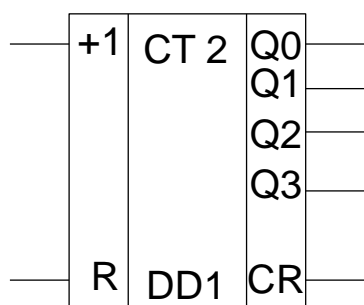


Рисунок 4.1
Условное графическое
обозначение счетчика

Счетчиком называется цифровое устройство, предназначенное для подсчета количества сигналов, поступающих на его вход.

Математической моделью счетчика является дискретный автомат с памятью, меняющий последовательно свои состояния под воздействием сиг-

налов, поступающих на его вход.

Количество возможных состояний счетчика K называют емкостью счетчика, модулем пересчета, основанием пересчета или коэффициентом деления. Счетчик, содержащий n разрядов называется n – разрядным двоичным счетчиком. Такой счетчик имеет модуль счета $K=2^n$. K -й входной сигнал возвращает счетчик в исходное состояние.

По модулю счета счетчики делятся на двоичные, у которых $K=2^n$ и на счетчики с произвольным модулем счета, у которых $K \neq 2^n$. Обозначение двоичного счетчика представлено на рисунке 4.1.

По направлению счета счетчики подразделяются на суммирующие и вычитающие. У суммирующих счетчиков при поступлении импульсов код нарастает, а у вычитающих – убывает.

Счетный вход, в зависимости от того вычитающим или суммирующим является счетчик, обозначается или -1 или $+1$. Вход R является входом сброса счетчика в нулевое состояние. Выходы $Q0-Q3$ являются выходами разрядов (триггеров) счетчика, начиная с младшего разряда. Выход CR является выходом переноса в следующий каскад счетчика (у суммирующих счетчиков) или выходом заема (у вычитающих счетчиков).

Когда в k младших разрядах счетчика записаны единицы, то поступление на вход счетчика еще одной единицы приводит к обнулению k младших раз-

рядов и переносу единицы в $k+1$ разряд. По организации переноса между разрядами счетчики подразделяются на счетчики с последовательным переносом, когда перенос распространяется последовательно разряд за разрядом – от одного триггера последовательно к другому, с параллельным переносом, когда переключение триггеров происходит практически одновременно, и с групповым или параллельно-последовательным переносом – внутри группы параллельный перенос, а между группами – последовательный.

Счетчики строятся на основе счетных T -триггеров. Триггеры в счетчике соединены последовательно и меняют свое состояние на противоположное при поступлении сигналов на их входы.

4.3.3 Двоичные счетчики

На рисунке 4.2 представлена функциональная схема двоичного четырехразрядного вычитающего счетчика на основе T -триггеров с динамическим управлением по фронту импульсов с непосредственными связями между разрядами и временные диаграммы, поясняющие работу счетчика. Для этого счетчика $K=2^4=16$.

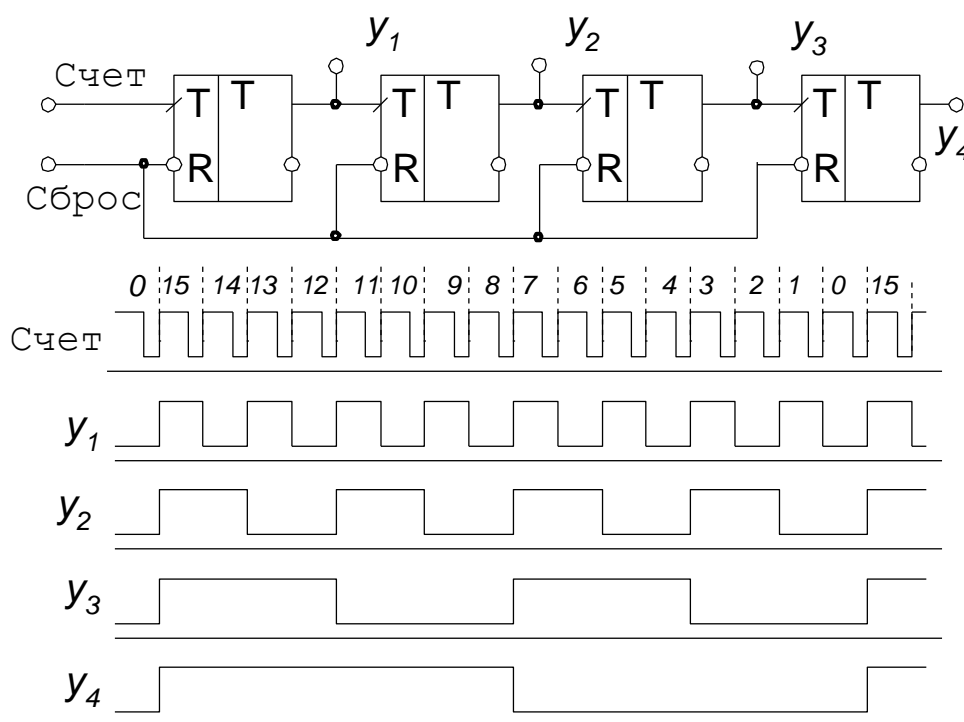


Рисунок 4.2 – Вычитающий четырехразрядный двоичный счетчик

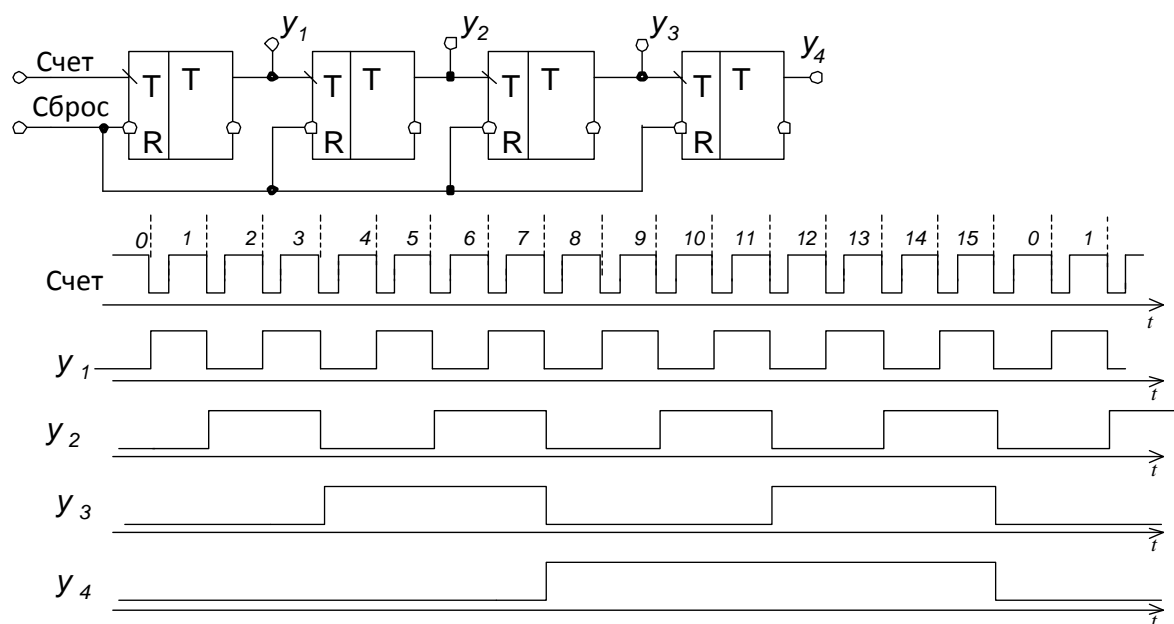


Рисунок 4.3 – Суммирующий четырехразрядный двоичный счетчик

Используя T -триггеры с динамическим управлением по срезу (по заднему фронту) входных импульсов или передачу сигналов на последующий каскад счетчика с инверсного выхода триггера предыдущего каскада, можно получить суммирующий счетчик (рисунок 4.3).

4.3.4 Счетчики с произвольным модулем счета

В случаях, когда требуется получить емкость счетчика K отличную от степени двойки, то используют схемы счетчиков с произвольным модулем счета. Для построения счетчиков с произвольным модулем счета используют следующие схемы:

- с исключением конечных состояний – по схеме сброса;
- с исключением начальных состояний – по схеме предварительной записи кода дополнения K до степени двойки, т.е. $2^n - K$.
- комбинированная.

Структурная схема счетчика на основе схемы сброса представлена на рисунке 4.4. К выходам счетчика подключен дешифратор, выделяющий K -е

состояние счетчика. При достижении счетчиком K -го состояния сигнал с выхода дешифратора поступает на вход сброса R , что приводит к обнулению счетчика.

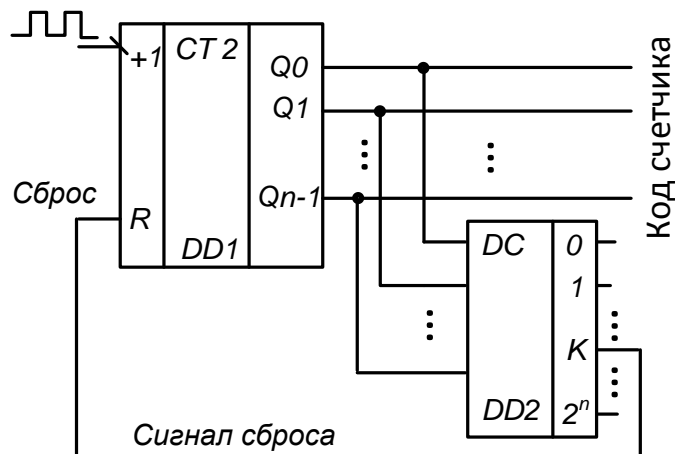


Рисунок 4.4 – Счетчик с произвольным модулем по схеме сброса

Следует отметить, что время нахождения счетчика в K -м состоянии определяется временем распространения сигнала через дешифратор и временем задержки сброса триггеров счетчика от сигнала со входа R . Например, для микросхем средней степени интеграции транзисторно-транзисторной логики время распространения сигнала может находиться в диапазоне от нескольких наносекунд до нескольких десятков наносекунд, что может быть во много раз меньше периода поступающих импульсов.

Структурная схема счетчика на основе схемы предварительной записи кода дополнения $2^n - K$ представлена на рисунке 4.5. В этой схеме используется счетчик, имеющий выход переполнения CR и входы для параллельной записи кода $D0-Dn-1$ по сигналу динамического тактирования C .

В этой схеме при достижении конечного состояния формируется сигнал переполнения на выходе CR . По сигналу переполнения в счетчик не нулевой код, а код дополнения $2^n - K$, с которого и начинается каждый новый цикл работы счетчика.

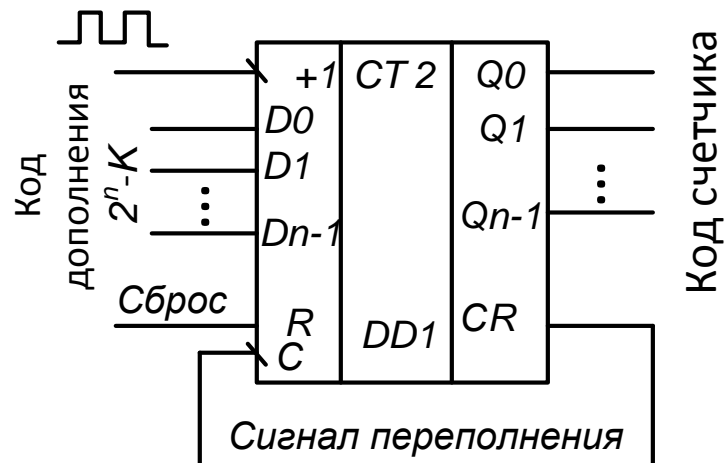


Рисунок 4.5 – Счетчик с произвольным модулем по схеме предварительной записи кода дополнения

4.4 Схема исследования счетчиков

Схема исследования суммирующего трехразрядного двоичного счетчика представлена на рисунке 4.6. В этой схеме счетные триггеры построены на D -триггерах.

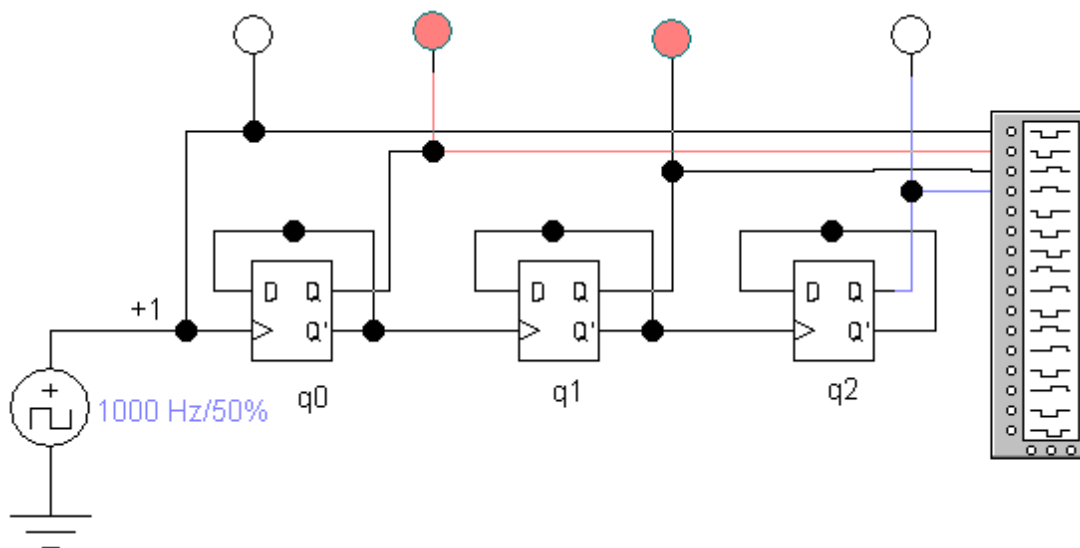
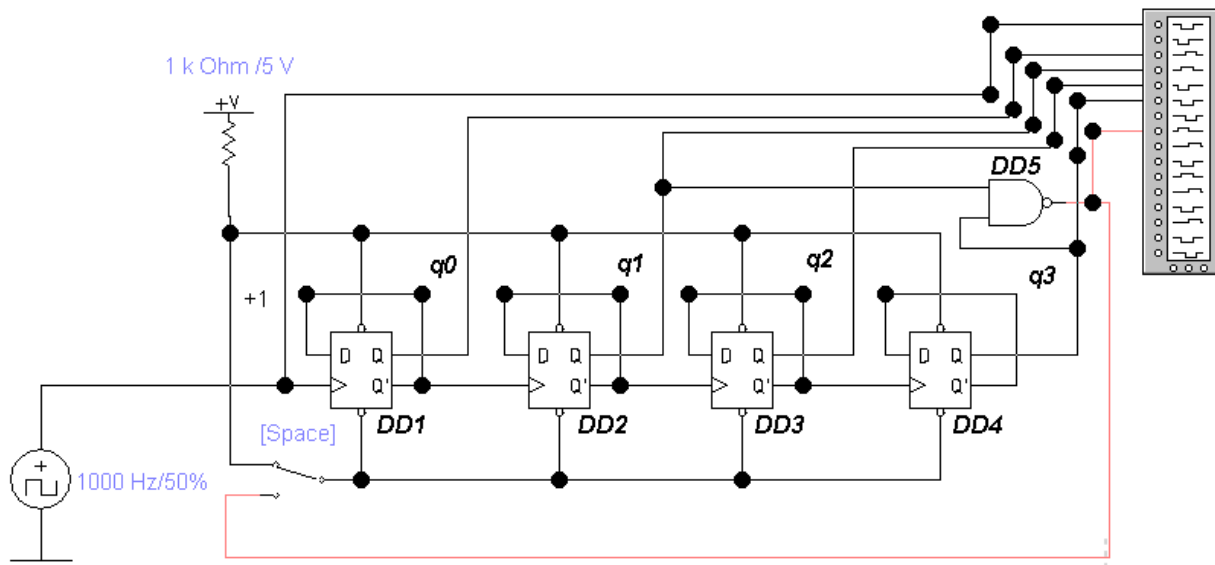


Рисунок 4.6 – Схема исследования двоичного счетчика

Рисунок 4.7 – Счетчик по модулю $K=10$

На рисунке 4.7 представлен счетчик по модулю десять, построенный по схеме сброса. Счетчик четырехразрядный, содержит четыре счетных триггера $DD1-DD4$, построенных на основе D-триггеров с динамическим управлением записью информации по переднему фронту. Прямой выход младшего разряда ($DD1$) отмечен символами $q0$, а старшего ($DD4$) – $q3$. В верхнем положении переключателя схема работает как четырехразрядный двоичный счетчик. Временные диаграммы работы счетчика в этом режиме представлены на рисунке 4.8.

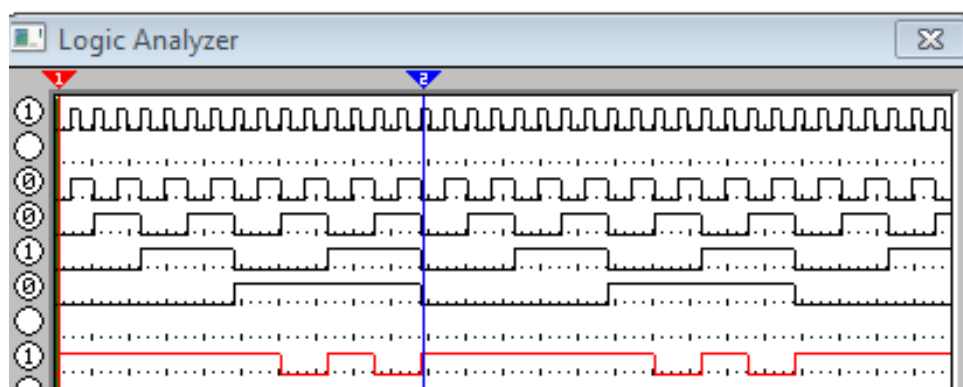


Рисунок 4.8 – Временные диаграммы работы двоичного счетчика (рисунок 4.7)

В нижнем положении переключателя схема работает, как счетчик с коэффициентом пересчета $K=10$. Дешифратор собран на двухвходовом элементе И-НЕ ($DD5$). На выходе дешифратора реализуется логическая функция

$$f(q_3, q_2, q_1, q_0) = q_3 \cdot q_1.$$

Представленная логическая функция задана в дизъюнктивной нормальной форме. Переведем ее в совершенную дизъюнктивную нормальную форму:

$$f(q_3, q_2, q_1, q_0) = q_3 \cdot \overline{q_2} \cdot q_1 \cdot \overline{q_0} \vee q_3 \cdot \overline{q_2} \cdot q_1 \cdot q_0 \vee q_3 \cdot q_2 \cdot q_1 \cdot \overline{q_0} \vee q_3 \cdot q_2 \cdot q_1 \cdot q_0$$

или в числовой форме представления

$$f^{(1)}(q_3, q_2, q_1, q_0) = \{1010, 1011, 1110, 111\}_2 = \{10, 11, 14, 15\}_{10}.$$

Как видно из предшествующего выражения элемент И-НЕ (DD5) выделяет четыре состояния счетчика – "10-е", "11-е", "14-е" и "15-е".

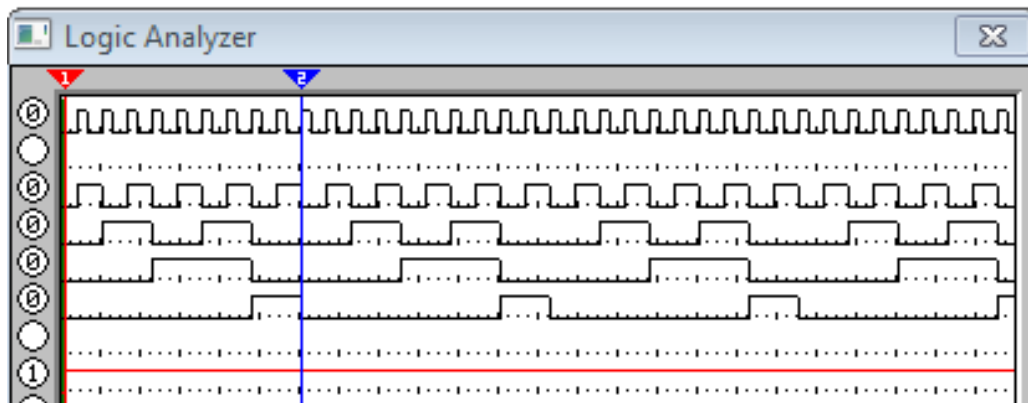


Рисунок 4.9 – Временные диаграммы работы счетчика по модулю $K=10$ (рисунок 4.7)

Первым на входы сброса триггеров поступает сигнал с выхода дешифратора, соответствующий "10-му" состоянию счетчика – счетчик обнуляется по этому сигналу (временные диаграммы на рисунке 4.9). Следовательно, конечные состояния счетчика – "11-е", "12-е", "13-е", "14-е" и "15-е" не достигаются. Пребывание счетчика в "10-м" состоянии занимает очень короткий интервал времени по сравнению с периодом входных импульсов, поэтому на временных диаграммах рисунка 4.9 нахождение счетчика в 10-м состоянии не отражено. Таким образом, счетчик последовательно циклично сменяет десять состояний – "0-е", "1-е", "2-е", "3-е", "4-е", "5-е", "6-е", "7-е", "8-е", "9-е".

4.5 Задание на проведение исследования

По заданию преподавателя нарисовать схемы двоичного счетчика и счетчика с заданным коэффициентом деления. Собрать схемы на рабочем поле *Electronics Workbench*. Снять временные диаграммы входного сигнала и выходных сигналов каждого разрядов счетчиков. На временных диаграммах выделить полные циклы работы счетчиков, указать состояния счетчиков, подтвердить получение заданных коэффициентов пересчета.

4.5.1 Для снятия временных диаграмм необходимо:

- запустить собранную схему;
- двойным щелчком "мыши" развернуть логический анализатор;
- перевести программу *Electronics Workbench* в режим паузы (*Pause*)
- линейкой прокрутки по горизонтали перевести экран анализатора на начальный участок временных диаграмм;
- перерисовать или скопировать временные диаграммы.

Скопировать схему или произвольную часть рабочего поля программы *Electronics Workbench* можно командой *Copy as Bitmap* вкладки меню *Edit*.

4.5.2 Сделайте выводы по работе.

4.5.3 Оформите отчет о работе.

4.6 Требования к отчёту по работе

Отчёт по работе может выполняться в отдельной тетради (вместе с отчётами по другим работам этой же дисциплины) или в виде отдельного отчёта на стандартных листах бумаги с титульным листом, оформленным по общепринятым требованиям.

Отчёт должен содержать:

- цель работы;
- краткие теоретические сведения о счетчиках;
- синтезированные схемы счетчиков;

- схемы проведения исследований;
- полученные временных диаграмм, на которых указать полные циклы работы счетчиков, указать состояния счетчиков;
- выводы.

4.7 Контрольные вопросы

1. Назначение, условное графическое обозначение, основные параметры и классификация счетчиков.
2. Схемы и работа суммирующего счетчика.
3. Схемы и работа вычитающего счетчика.
4. Принципы построения счетчиков с произвольным модулем счета с исключением начальных состояний двоичного счетчика (с предустановкой кода дополнения модуля до степени двойки).
5. Принципы построения счетчиков с произвольным модулем счета с исключением конечных состояний двоичного счетчика (по схеме сброса).

Библиографический список

-
- 1 Баев Б.П. Микропроцессорные системы бытовой техники: Учебник для вузов. – 2-е изд., испр. и доп. – М.: Горячая линия – Телеком, 2005. – 480 с.
 - 2 Безуглов Д.А., Калиенко И.В. Цифровые устройства и микропроцессоры. – Ростов-на-Дону: Феникс, 2006. – 480 с.
 - 3 Опадчий Ю.Ф., Глудкин О.П., Гуров А.И. Аналоговая и цифровая электроника: Полный курс: Учебное пособие для вузов. – М.: Горячая линия-Телеком, 2003. – 768 с.: ил.
 - 4 Угрюмов Е.П. Цифровая схемотехника: Учебное пособие для вузов. – 3-е изд., испр. и доп. – СПб.: БХВ-Санкт-Петербург, 2010. - 816 с.: ил.
 - 5 Карлащук В. И. Электронная лаборатория на IBM PC. Программа Electronics Workbench и ее применение: издание 2-е, дополненное и переработанное. М.: СОЛОНР, 2001. - 726 с.